



(12) 发明专利

(10) 授权公告号 CN 102832299 B

(45) 授权公告日 2015. 10. 21

(21) 申请号 201110164808. X

KR 10-1020945 B1, 2011. 03. 09,

(22) 申请日 2011. 06. 17

CN 101310392 A, 2008. 11. 19,

JP 特开 2009-54889 A, 2009. 03. 12,

(73) 专利权人 广东量晶光电科技有限公司

审查员 刘辉

地址 528251 广东省佛山市南海区平洲南港  
大道昭信广场 503 室

(72) 发明人 刘英策 吴大可 火东明

(74) 专利代理机构 北京瑞恒信达知识产权代理  
事务所 (普通合伙) 11382

代理人 曹津燕

(51) Int. Cl.

H01L 33/00(2010. 01)

H01L 33/42(2010. 01)

(56) 对比文件

JP 特开 2007-208047 A, 2007. 08. 16,

JP 特开 2007-208047 A, 2007. 08. 16,

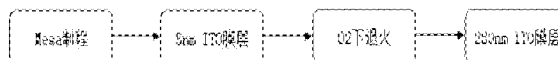
权利要求书2页 说明书4页 附图1页

(54) 发明名称

一种层状透明导电层 LED 芯片的制备方法

(57) 摘要

本发明提供了一种层状透明导电层 LED 芯片结构的制备方法及其结构,该方法包括:步骤 10)、提供 LED 外延片;步骤 20)、在 LED 外延片上进行 Mesa 处理,以暴露出外延片的 N-GaN 层;步骤 30)、外延片的未暴露表面上沉积具有高功函数的第一层透明导电层;步骤 40)、在第一层透明导电层上沉积第二层透明导电层;步骤 50)、蒸镀 P&N 电极,形成 LED COW 结构。本发明在透明导电膜层膜和 P-GaN 之间插入一层新的高功函数的膜层,降低透明导电膜层膜和 P-GaN 之间的接触势垒,起到降低芯片的驱动电压,同时,由于此插入层的折射率介于 ITO 膜层和 P-GaN 之间或与之上的透明导电膜层的折射率相当保证了 LED 外量子效率没有降低。



1. 一种层状透明导电层 LED 芯片结构的制备方法,包括:  
步骤 10)、提供 LED 外延片;  
步骤 20)、在 LED 外延片上进行 Mesa 处理,以暴露出外延片的 N-GaN 层;  
步骤 30)、在外延片的未暴露出 N-GaN 层的表面上沉积具有高功函数的第一层透明导电层;

步骤 40)、在第一层透明导电层上沉积第二层透明导电层;

步骤 50)、蒸镀 P&N 电极,形成 LED COW 结构;

其中,与 P-GaN 接触的第一层透明导电层为接触层,第一透明导电层上面的第二层透明导电层为电流扩散层,且接触层和电流扩散层由相同元素构成,但二者的元素构成比不同。

2. 权利要求 1 所述的方法,其中,步骤 30) 还包括:

在已完成 Mesa 制程的外延片上沉积第一层透明导电层时,使用 EB 电子蒸镀,膜层厚度 5nm,  $O_2$  流量为 10sccm, 沉积温度为 295℃, 沉积速率 0.6 Å/s, 蒸镀源为  $In_2O_3/SnO_2 = 95\% / 5\%$ ;

之后,对此第一层透明导电层做退火处理,其中,在  $O_2$  氛围下,退火温度为 300℃,时间为 20min,  $O_2$  流量为 10sccm。

3. 权利要求 2 所述的方法,其中,步骤 40) 还包括:完成退火制程后,接着沉积第二层透明导电层时,采用 EB 电子蒸镀,膜层厚度 280nm,  $O_2$  流量为 10sccm, 沉积温度为 295℃, 沉积速率为 1.0 Å/s, 蒸镀源为  $In_2O_3/SnO_2 = 95\% / 5\%$ 。

4. 权利要求 1 所述的方法,其中,接触层和电流扩散层具有不同的功函数,接触层的功函数大于电流扩散层。

5. 权利要求 1 所述的方法,其中,接触层的厚度为 1-10nm, 电流扩散层的厚度为 100-400nm。

6. 权利要求 1 所述的方法,其中,接触层的折射率介于电流扩散层和 P-GaN 之间或与电流扩散层相当。

7. 权利要求 1 所述的方法,其中,对于沉积过程在刻蚀暴露出 N-GaN 之后,通过蒸镀或溅射低掺杂第一层透明导电层,然后更换蒸镀源或靶,蒸镀或沉积高掺杂第二层透明导电层,然后  $N_2$  氛围进行退火处理。

8. 一种层状透明导电层 LED 芯片结构,包括:

— LED 外延片 ITO 层;

在此 LED 外延片上通过 Mesa 工序形成暴露出的 N-GaN 层;

外延片的未暴露出 N-GaN 层的表面上具有高功函数的第一层透明导电层;

在第一层透明导电层上沉积第二层透明导电层;

蒸镀 P&N 电极,形成的 LED COW 结构;

其中,第一层透明导电层和第二层透明导电层均是 ITO 材料,相比第二层透明导电层,第一层透明导电层采用低掺杂  $SnO_2$ , 通过降低  $SnO_2$  的掺杂,降低第一层透明导电层的电子浓度和 O 空位浓度。

9. 根据权利要求 8 所述的结构,其中,底层 ITO 的  $SnO_2 = 1-3\%$ ; 上层 ITO 的  $SnO_2 =$

5%。

10. 根据权利要求 8 所述的结构,其中,第一透明导电层为接触层,接触层上面的第二层透明导电层为电流扩散层;接触层和电流扩散层具有不同的功函数,接触层的功函数明显大于电流扩散层,接触层的折射率介于电流扩散层和 P-GaN 之间或与电流扩散层相当;接触层的厚度为 1-10nm,电流扩散层的厚度为 100-400nm。

## 一种层状透明导电层 LED 芯片的制备方法

### 技术领域

[0001] 本发明涉及半导体制造技术领域,更具体地,本发明涉及一种应用在发光二极管(LED)芯片的透明导电层的制备方法。

### 背景技术

[0002] 发光二极管(LED)相对于其他的光源,具有寿命长、可靠性高、体积小、响应速度快并且易于集成的优点,使得其已经广泛用于信息显示、图像处理、消费电子等各类显示光源。

[0003] 目前,大功率LED透明电极主要采用氧化铟锡(ITO),ITO具有导电、透明的优点,并且ITO薄膜由于具有高的穿透率和低的面电阻率,广泛应用于LED领域,作为LED芯片工艺中的透明导电层,现在同向型LED芯片制造中,几乎100%采用ITO膜层做为透明导电层。

[0004] 然而,由于ITO和P-GaN之间有巨大的功函数差异,其中ITO为4.7eV,P-GaN为7.2eV,使得ITO做为P-GaN的电流扩散层会产生巨大的接触势垒,进而增加LED芯片的驱动电压。

### 发明内容

[0005] 因此,为克服现有技术中ITO膜层和P-GaN之间高接触势垒的问题,本发明提供一种应用在发光二极管(LED)芯片的透明导电层结构及其制备方法。

[0006] 根据本发明的一个方面,提供一种层状透明导电层LED芯片结构的制备方法,包括:步骤10)、提供LED外延片;步骤20)、在LED外延片上进行Mesa处理,以暴露出外延片的N-GaN层;步骤30)、外延片的未暴露表面上沉积具有高功函数的第一层透明导电层;步骤40)、在第一层透明导电层上沉积第二层透明导电层;步骤50)、蒸镀P&N电极,形成LED COW结构。其中,此第一层透明导电膜层的折射率介于P-GaN和第二层透明导电膜层之间或与第二层透明导电膜层的折射率相当。

[0007] 根据本发明的另一个方面,提供一种层状透明导电层LED芯片结构,包括:一LED外延片ITO层;在此LED外延片上通过Mesa工序形成暴露出的N-GaN层;其上具有高功函数与合适的折射率的第一层透明导电层,折射率介于P-GaN和第二层透明导电层的折射率之间;在第一层透明导电层上沉积第二层透明导电层;蒸镀P&N电极,形成的LED COW结构。

[0008] 为了在保持面电阻和穿透率的同时,也降低透明导电膜层和P-GaN之间的势垒,本发明提供了一种新的透明导电层膜系,层状透明导电层结构,即在透明导电膜层膜和P-GaN之间插入一层新的高功函数的膜层,以此来降低P-GaN和ITO膜层之间的接触势垒,进而降低LED芯片的驱动电压。同时,为保证整个芯片不因光的全反射作用而丧失芯片的外量子效率,此插入层的折射率介于ITO膜层和P-GaN之间或与之上的透明导电膜层的折射率相当。与现有单层透明导电层的LED芯片相比,本发明能显著降低P-GaN和透明导电膜层之间由于功函数的差异而产生的高的接触势垒,进而降低LED芯片的驱动电压,提高LED芯片效率,同时保持芯片的外量子效率。

## 附图说明

[0009] 图 1 为本发明实施例的层状透明导电层结构示意图；

[0010] 图 2 为本发明实施例的层状透明导电层的制备方法流程图。

[0011] 如图所示,为了能明确说明本发明的实施例的结构,在图中标注了特定的结构和器件,但这仅为示意需要,并非意图将本发明限定在该特定结构、器件和环境中,根据具体需要,本领域的普通技术人员可以将这些器件和环境进行调整或者修改,所进行的调整或者修改仍然包括在后附的权利要求的范围中。

## 具体实施方式

[0012] 以下结合附图和实施例对本发明的一种应用在发光二极管(LED)芯片的透明导电层结构及其制备方法进行详细描述。

[0013] 其中,在以下的描述中,将描述本发明的多个不同的方面,然而,对于本领域内的普通技术人员而言,可以仅仅利用本发明的一些或者全部结构或者流程来实施本发明。为了解释的明确性而言,阐述了特定的数目、配置和顺序,但是很明显,在没有这些特定细节的情况下也可以实施本发明。在其他情况下,为了不混淆本发明,对于一些众所周知的特征将不再进行详细阐述。

[0014] 在本发明的第一实施例中,提供一种层状透明导电层 LED 芯片结构的制备方法,包括以下步骤:1、提供 LED 外延片;2、在此 LED 外延片上进行 Mesa 处理,以暴露出外延片的 N-GaN 层;3、外延片的未暴露表面上沉积具有高功函数的第一层透明导电层;4、在第一层透明导电层上沉积第二层透明导电层;5、蒸镀 P&N 电极,做出 LED COW 结构。

[0015] 进一步,步骤 3 还包括在已完成 Mesa 制程的外延片上沉积一层 ITO 膜层,其中,使用 EB 电子蒸镀,膜层厚度 5nm,  $O_2$  流量为 10sccm,沉积温度为 295℃,沉积速率 0.6 Å/s,蒸镀源为  $In_2O_3/SnO_2 = 95\% / 5\%$ 。

[0016] 之后,对此 ITO 膜层做退火处理,其中,在  $O_2$  氛围下,退火温度为 300℃,时间为 20min,  $O_2$  流量为 10sccm。

[0017] 步骤 4 还包括:完成退火制程后,接着再沉积一层 ITO 透明导电膜层。其中,采用 EB 电子蒸镀,膜层厚度 280nm,  $O_2$  流量为 10sccm,沉积温度为 295℃,沉积速率为 1.0 Å/s,蒸镀源为  $In_2O_3/SnO_2 = 95\% / 5\%$ 。

[0018] 其中,P-GaN 接触的第一层透明导电层为接触层。其中,第一透明导电层上面的第二层透明导电层为电流扩散层。

[0019] 其中,接触层和电流扩散层具有不同的功函数,接触层的功函数明显大于电流扩散层。

[0020] 其中,接触层的厚度为 1-10nm,电流扩散层的厚度为 100-400nm。

[0021] 其中,接触层和电流扩散层有相同元素构成,但二者的元素构成比不同。另外,接触层和电流扩散层也可由不同元素组成。

[0022] 其中,接触层和电流扩散层的折射率相当。

[0023] 其中,接触层和电流扩散层采用以下沉积工艺,包括蒸镀、溅射、离子镀。

[0024] 在本发明的第二个实施例中,如图 1 所示,提供一种层状透明导电层 LED 芯片结构,包括一 LED 外延片 ITO 层;在此 LED 外延片上通过制作 Mesa 工序以形成暴露出芯片的 N-GaN 层;其上具有高功函数的第一层透明导电层;在第一层透明导电层上沉积第二层透明导电层;蒸镀 P&N 电极,形成的 LED COW 结构。

[0025] 高功函数透明导电层中,第一层透明导电层和第二层透明导电层均是 ITO 材料,但相比第二层 ITO 层,第一层 ITO 材料采用低掺杂  $\text{SnO}_2$  (第一层 ITO: $\text{SnO}_2 = 1-3\%$ ;第二层 ITO: $\text{SnO}_2 = 5\%$ ),通过降低  $\text{SnO}_2$  的掺杂,降低底层 ITO 层的电子浓度和 O 空位浓度,进而提升 ITO 底层的功函数。所述层状透明导电层由两层构成,其中和 P-GaN 接触的为接触层,其上的为电流扩散层。

[0026] 接触层和电流扩散层具有不同的功函数,接触层的功函数明显大于电流扩散层。

[0027] 接触层的厚度为 1-10nm,电流扩散层的厚度为 100-400nm。

[0028] 接触层和电流扩散层有相同元素构成,但二者的元素构成比不同。接触层和电流扩散层的折射率相当。

[0029] 接触层和电流扩散层采用以下沉积工艺,包括蒸镀、溅射、离子镀。

[0030] 在本发明的第三个实施例中,如图 1 所示,提供一种层状透明导电层 LED 芯片结构,包括一 LED 外延片;在此 LED 外延片上通过制作 Mesa 工序以形成暴露出芯片的 N-GaN 层;其上具有高功函数的第一层透明导电层;在第一层透明导电层上沉积第二层透明导电层;蒸镀 P&N 电极,形成的 LED COW 结构。

[0031] 所述层状透明导电层由两层构成,其中和 P-GaN 接触的为接触层,其上的为电流扩散层。

[0032] 接触层和电流扩散层具有不同的功函数,接触层的功函数明显大于电流扩散层。

[0033] 接触层的厚度为 1-10nm,电流扩散层的厚度为 100-400nm。

[0034] 接触层和电流扩散层有不同元素构成,接触层可为 IZO( $\text{ZnO}:\text{In}$ ), GZO( $\text{ZnO}:\text{Ga}$ ), AZO( $\text{ZnO}:\text{Al}$ ),接触层为 ITO。

[0035] 接触层的折射率介于电流扩散层和 P-GaN 之间。

[0036] 在根据第一实施例的方法中,其中操作过程进一步如图 2 所示,该层状透明导电层的沉积方法包括以下步骤:

[0037] 步骤 1,在已完成 Mesa 制程的外延晶圆上沉积一层 ITO 膜层,具体沉积工艺为:使用 EB 电子蒸镀,膜层厚度 5nm, $\text{O}_2$  流量为 10sccm,沉积温度为 295℃,沉积速率 0.6 Å/s,蒸镀源为  $\text{In}_2\text{O}_3/\text{SnO}_2 = 95\%/5\%$ 。

[0038] 步骤 2,对此 ITO 膜层做退火处理,具体退火工艺为:

[0039] 在  $\text{O}_2$  氛围下,退火温度为 300℃,时间为 20min, $\text{O}_2$  流量为 10sccm。

[0040] 步骤 3,完成退火制程后,接着再沉积一层 ITO 透明导电膜层,具体沉积工艺为:采用 EB 电子蒸镀,膜层厚度 280nm, $\text{O}_2$  流量为 10sccm,沉积温度为 295℃,沉积速率为 1.0 Å/s,蒸镀源为  $\text{In}_2\text{O}_3/\text{SnO}_2 = 95\%/5\%$ 。

[0041] 进一步,对于沉积过程在刻蚀暴露出 N-GaN 之后,通过蒸镀或溅射低掺杂 ITO 膜层,然后更换蒸镀源或靶,蒸镀或沉积高掺杂 ITO 膜层,然后  $\text{N}_2$  氛围退火处理。

[0042] 最后应说明的是,以上实施例仅用以描述本发明的技术方案而不是对本技术方法

进行限制,本发明在应用上可以延伸为其他的修改、变化、应用和实施例,并且因此认为所有这样的修改、变化、应用、实施例都在本发明的精神和教导范围内。

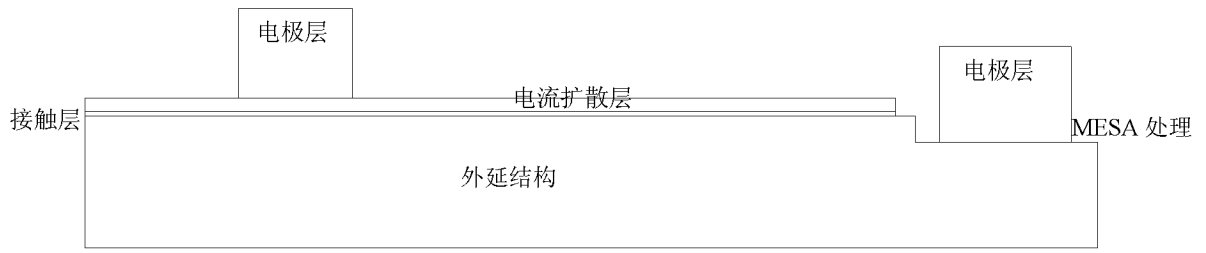


图 1

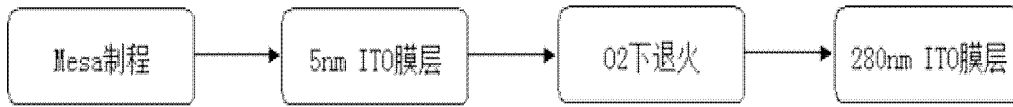


图 2