



(12) 发明专利

(10) 授权公告号 CN 102117866 B

(45) 授权公告日 2013. 01. 09

(21) 申请号 200910265759. 1

US 2009/0302336 A1, 2009. 12. 10, 说明书第 [0030]-[0032], [0038]-[0039] 段、附图 2, 6.

(22) 申请日 2009. 12. 31

审查员 徐国亮

(73) 专利权人 香港应用科技研究院有限公司  
地址 中国香港

(72) 发明人 薛萍 袁述

(74) 专利代理机构 北京律盟知识产权代理有限  
责任公司 11287

代理人 孟锐

(51) Int. Cl.

H01L 33/00 (2010. 01)

(56) 对比文件

CN 101244533 A, 2008. 08. 20, 全文 .

WO 99/10129 A1, 1999. 03. 04, 说明书第 10 页第 18-20 行, 第 13 页第 3 行至第 14 页第 27 行、附图 6.

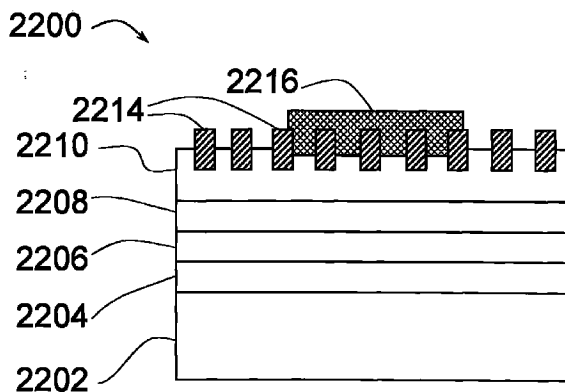
权利要求书 2 页 说明书 11 页 附图 27 页

(54) 发明名称

半导体晶片及半导体装置以及制作半导体晶片及装置的方法

(57) 摘要

本发明提供半导体晶片、半导体装置及制作半导体晶片及装置的方法。本发明的实施例尤其适合与衬底替换应用一起使用, 例如在制作垂直 LED 的情况下。本发明的一个实施例包括一种制作半导体装置的方法, 所述方法包含: 提供衬底; 在所述衬底上形成多个抛光止挡件, 所述多个抛光止挡件中的每一者包括陶瓷材料; 在所述衬底上生长一个或一个以上缓冲层; 及在所述一个或一个以上缓冲层上生长一个或一个以上外延层。另外, 可执行将一个或一个以上金属层施加到所述一个或一个以上外延层、将第二衬底附加到所述一个或一个以上金属层及使用机械薄化工艺移除基底衬底的步骤。



1. 一种半导体晶片,其包含:

衬底;

所述衬底上的多个抛光阻挡件,所述抛光阻挡件包括陶瓷材料;

生长在所述衬底上的一个以上缓冲层;及

所述一个以上缓冲层上的一个以上外延层,

其中,所述多个抛光阻挡件的硬度大于所述衬底和所述外延层的硬度,且所述一个以上外延层中的一者为具有折射率的邻近层,所述邻近层邻近于所述多个抛光阻挡件,且其中所述多个抛光阻挡件中的每一者具有低于所述邻近层的所述折射率的折射率。

2. 根据权利要求1所述的半导体晶片,其中所述多个抛光阻挡件中的每一者包括基于氮化硼的材料。

3. 根据权利要求1所述的半导体晶片,其中所述多个抛光阻挡件中的每一者为多层抛光阻挡件且所述多层抛光阻挡件中的每一者的至少一个层包括基于氮化硼的材料。

4. 根据权利要求1所述的半导体晶片,其中所述多个抛光阻挡件中的每一者为多层抛光阻挡件且所述多层抛光阻挡件中的每一者的至少一个层包括过渡金属氮化物材料。

5. 根据权利要求1所述的半导体晶片,其中所述多个抛光阻挡件使用反应性离子蚀刻(RIE)形成。

6. 根据权利要求1所述的半导体晶片,其中所述多个抛光阻挡件对于可见光是透明的。

7. 根据权利要求1所述的半导体晶片,其中所述抛光阻挡件中的每一者包括施加到相关联抛光阻挡件的保形层,且其中所述多个抛光阻挡件中的每一者包括氮化硼且所述多个保形层中的每一者由半导体或电介质材料制成。

8. 根据权利要求7所述的半导体晶片,其中所述保形层中的每一者覆盖所述相关联抛光阻挡件的至少一侧。

9. 根据权利要求1所述的半导体晶片,其中所述多个抛光阻挡件包含光增强层。

10. 一种发光二极管,其包含:

衬底;

生长在所述衬底上的多个半导体层,其中所述多个半导体层包括至少一个有源层及多个抛光阻挡件,所述多个抛光阻挡件中的每一者包括陶瓷材料;及

施加到所述多个半导体层中的一者或一者以上的一个以上电极,

其中,所述多个抛光阻挡件的硬度大于所述衬底的硬度,且所述多个半导体层包括一个以上外延层,所述一个以上外延层中的一者为具有折射率的邻近层,所述邻近层邻近于所述多个抛光阻挡件,且其中所述多个抛光阻挡件中的每一者具有低于所述邻近层的所述折射率的折射率。

11. 根据权利要求10所述的发光二极管,其中所述多个抛光阻挡件包括基于氮化硼的材料。

12. 根据权利要求10所述的发光二极管,其中所述多个抛光阻挡件中的每一者为多层抛光阻挡件且所述多层抛光阻挡件中的每一者的至少一个层包括基于氮化硼的材料。

13. 根据权利要求10所述的发光二极管,其中所述多个抛光阻挡件中的每一者为多层抛光阻挡件且所述多层抛光阻挡件中的每一者的至少一个层包括过渡金属氮化物材料。

14. 根据权利要求 10 所述的发光二极管,其中所述抛光止挡件中的每一者包括施加到相关联抛光止挡件的保形层,且其中所述多个抛光止挡件中的每一者包括基于氮化硼的材料且所述多个保形层中的每一者由半导体或电介质材料制成。

15. 根据权利要求 10 所述的发光二极管,其中所述抛光止挡件中的每一者包含所述衬底的表面上的图案,且其中所述抛光止挡件为用于光抽取的光散射元件。

16. 一种制作半导体装置的方法,所述方法包含:

提供衬底;

在所述衬底上形成多个抛光止挡件,所述多个抛光止挡件中的每一者包括陶瓷材料;

在所述衬底上生长一个以上缓冲层;及

在所述一个以上缓冲层上生长一个以上外延层,

其中,所述多个抛光止挡件的硬度大于所述衬底和所述外延层的硬度,且所述一个以上外延层中的一者为具有折射率的邻近层,所述邻近层邻近于所述多个抛光止挡件,且其中所述多个抛光止挡件中的每一者具有低于所述邻近层的所述折射率的折射率。

17. 根据权利要求 16 所述的方法,其中所述多个陶瓷抛光止挡件中的每一者包括基于氮化硼的材料。

18. 根据权利要求 16 所述的方法,其中所述形成所述多个陶瓷抛光止挡件的步骤包括在所述一个以上外延层中的一者上生长一个以上氮化硼结构。

19. 根据权利要求 16 所述的方法,其中所述形成所述多个陶瓷抛光止挡件的步骤包括在所述衬底上生长一个以上氮化硼结构。

20. 根据权利要求 19 所述的方法,其进一步包含使用反应性离子蚀刻 (RIE) 蚀刻所述一个以上氮化硼结构。

21. 根据权利要求 19 所述的方法,其中所述生长一个以上氮化硼结构的步骤包括在所述衬底中形成孔且在所述衬底中的所述孔中生长所述一个以上氮化硼结构。

22. 根据权利要求 16 所述的方法,其进一步包含在所述多个抛光止挡件中的每一者上形成保形层,且其中所述多个抛光止挡件中的每一者包括基于氮化硼的材料且所述多个保形层中的每一者由半导体或电介质材料制成。

23. 根据权利要求 16 所述的方法,其进一步包含:

在所述一个以上外延层上形成一个以上金属层;

将第二衬底附加到一个以上金属层;及

使用机械薄化工艺移除所述衬底。

## 半导体晶片及半导体装置以及制作半导体晶片及装置的方法

[0001] 相关申请案交叉参考

[0002] 本申请案是在 2008 年 6 月 2 日提出申请的美国专利申请案第 12/134,682 号的部分连续案,其揭示内容以引用方式完全并入本文中。

### 技术领域

[0003] 本发明涉及半导体晶片及半导体装置,且更特定来说涉及一种制作半导体晶片及半导体装置的方法。

### 背景技术

[0004] 随后用于半导体装置的制作的半导体晶片的制作是发展良好的技术领域。存在许多不同半导体晶片制作方法,且也存在用预制作晶片制作半导体装置的许多已知方法。半导体装置现在普遍存在于现代技术装置及设备中。

[0005] 尽管许多晶片及半导体装置构建在硅衬底或类似材料上,但某些装置优选地构建在蓝宝石衬底上,例如基于氮化镓 (GaN) 的垂直发光二极管 (LED)。在一些已知工艺中,使用激光剥离 (LLO) 工艺移除所述蓝宝石衬底,从而暴露用于后续蚀刻及移除的各种 n- 型层,以使得 n- 型电极可接触轻掺杂的 n- 型 GaN 层。

[0006] 然而,制造基于 GaN 的垂直 LED 及其它半导体装置的已知方法具有以下限制:LLO 工艺在制造可靠、有效的 LED 方面是不足、具损坏性且效率低的。此外,由于对各种 GaN 层的类似蚀刻选择性,可难以区分不同层之间的界面。相应地,需要一种解决已知方法的缺点的制作半导体装置的方法。

### 发明内容

[0007] 根据本发明的一个实施例,揭示一种半导体晶片。所述半导体包括:衬底;所述衬底上的多个陶瓷抛光止挡件;生长在所述衬底上的一个或一个以上缓冲层;及所述一个或一个以上缓冲层上的一个或一个以上外延层。

[0008] 根据本发明的另一实施例,揭示一种发光二极管。所述发光二极管包括:衬底;生长在所述衬底上的多个半导体层,其中所述多个半导体层包括有源层及多个陶瓷抛光止挡件;及施加到所述多个半导体层中的一者或一者以上的一个或一个以上电极。

[0009] 根据本发明的另一实施例,揭示一种制作半导体装置的方法。所述制作半导体装置的方法包括:提供衬底;在所述衬底上形成多个陶瓷抛光止挡件;在所述衬底上生长一个或一个以上缓冲层;及在所述一个或一个以上缓冲层上生长一个或一个以上外延层。

[0010] 根据以下详细说明,本发明的再其它实施例对所属领域的技术人员将变得显而易见,其中以图解说明的方式来描述本发明的实施例。应认识到,本发明可具有其它且不同的实施例,且可对其若干细节作出各种方面的修改,此均不背离本发明的精神及范围。

## 附图说明

- [0011] 图 1 是根据本发明的实施例半导体晶片的显示抛光止挡件的形成的截面图。
- [0012] 图 2 是根据本发明的实施例半导体晶片的显示外延层的生长的截面图。
- [0013] 图 3 是根据本发明的实施例半导体晶片的显示抛光止挡件在外延层上的形成的截面图。
- [0014] 图 4 是根据本发明的实施例半导体晶片的显示光子结构在外延层中的形成的截面图。
- [0015] 图 5 是根据本发明的实施例半导体晶片的显示与蚀刻止挡层组合的抛光止挡件的形成的截面图。
- [0016] 图 6 是根据本发明的实施例半导体晶片的显示抛光止挡层的形成的截面图。
- [0017] 图 7 是根据本发明的实施例半导体装置的显示抛光止挡件的形成的截面图。
- [0018] 图 8 是根据本发明的实施例半导体装置的显示内建触点的形成的截面图。
- [0019] 图 9 是根据本发明的实施例半导体装置的显示新衬底的形成的截面图。
- [0020] 图 10 是根据本发明的实施例半导体装置的显示经图案化镀敷的截面图。
- [0021] 图 11 是根据本发明的实施例半导体装置的显示衬底移除的截面图。
- [0022] 图 12 是根据本发明的实施例半导体装置的显示实例性半导体装置表面变化的截面图。
- [0023] 图 13 是根据本发明的实施例半导体装置的显示内建触点的形成的截面图。
- [0024] 图 14A 是根据本发明的实施例半导体晶片的显示抛光止挡件的形成的截面图。
- [0025] 图 14B 是根据本发明的另一实施例半导体晶片的显示抛光止挡件的形成的截面图。
- [0026] 图 14C 是根据本发明的另一实施例半导体晶片的显示抛光止挡件的形成的截面图。
- [0027] 图 15 是根据本发明的实施例半导体晶片的显示外延层的生长的截面图。
- [0028] 图 16 是根据本发明的实施例半导体晶片的显示抛光止挡件在外延层上的形成的截面图。
- [0029] 图 17 是根据本发明的实施例半导体晶片的显示与蚀刻止挡层组合的抛光止挡件的形成的截面图。
- [0030] 图 18 是根据本发明的实施例半导体装置的显示抛光止挡件的形成的截面图。
- [0031] 图 19 是根据本发明的实施例半导体装置的显示新衬底的形成的截面图。
- [0032] 图 20 是根据本发明的实施例半导体装置的显示衬底移除的截面图。
- [0033] 图 21 是根据本发明的实施例半导体装置的显示实例性半导体装置表面变化的截面图。
- [0034] 图 22A 是根据本发明的实施例的垂直 LED 结构。
- [0035] 图 22B 是根据本发明的实施例的垂直 LED 结构。
- [0036] 图 22C 是根据本发明的实施例的垂直 LED 结构。
- [0037] 图 23 是根据本发明的另一实施例的倒装芯片 LED 结构。

## 具体实施方式

[0038] 在以下说明中,参照附图,附图中以图解说明的方式显示了本发明的具体实施例。应理解,可使用其它实施例并且可在不背离本发明范围的前提下作出结构性及其它改变。此外,各种实施例及来自各种实施例中的每一者的方面可以任何合适组合形式使用。相应地,应将图式及详细说明视为性质上为说明性而非限制性。

[0039] 一般来说,本发明针对半导体晶片、半导体装置及制作半导体晶片及装置的方法。本发明的实施例适合与衬底替换一同使用,其中通过半导体晶片或半导体装置的组成来促进衬底的移除且施加新的第二衬底。图 1 到 6 一般来说针对制作半导体晶片的方法。图 7 至 13 一般来说针对使用参照图 1 到 6 所描述的半导体晶片制作半导体装置的方法。图 14A 到 22C 一般来说针对所述半导体晶片的第二实施例及制作半导体晶片及半导体装置的方法。第二实施例包括可用于(举例来说)位错降低、在外延横向过生长期间降低堆叠错误且实现改善的内部量子效率的光增强层。在本发明的实施例中,抛光止挡件包括陶瓷材料且所述抛光止挡件可用作所述光增强层。

[0040] 参照各图所显示及描述的实施例可用于 LED 的制作中,且具体来说用于基于 GaN 的垂直 LED。然而,应了解,所描述之方法并不限于任何具体工程设计应用且可根据本发明的实施例制作任何合适的半导体装置,例如 LED、激光二极管、晶体管及其它功率装置、独立半导体材料的生长及制作以及其它合适应用。

[0041] 在基于 GaN 的 LED 的制作中,具体来说,移除基底蓝宝石衬底且用新衬底取代所述基底蓝宝石衬底具有优点,例如,改善的热管理、通过新暴露表面上的表面纹理化实现的增强的光抽取及电流分布中的更高均匀性。根据本发明的实施例,一般来说通过用于半导体装置的制作(例如,LED 的制造)中的使用抛光止挡件的机械薄化方法(例如,碾磨、研磨、抛光及/或化学机械抛光)来执行蓝宝石衬底的移除。根据本发明的实施例,在晶片生长或晶片制作阶段期间提供抛光止挡件,从而提供较高的良率及改善的装置性能。

[0042] 贯穿所述说明,使用前缀“u-”表示未经掺杂或轻掺杂,“p-”表示 p-型或正性,且“n-”表示 n-型或负性。

[0043] 现在参照各图,图 1 是根据本发明的实施例半导体晶片的显示抛光止挡件的形成的截面图。提供衬底 100。在所述衬底上形成抛光止挡件 102。可使用任一合适方法形成所述抛光止挡件。根据称作减法方法的一个实例性方法,将硬材料层施加到衬底 100 的整个表面。然后在所述硬材料层中形成图案,从而移除所述硬材料层的不需要部分且仅留下需要的抛光止挡件 102。根据称作加法方法的另一实例性方法,跨越衬底 100 的表面形成掩模图案,从而留下孔或沟槽或其它所需形状的开口。然后,跨越衬底 100 沉积硬材料且将所述硬材料沉积到所述开口中。然后,移除所述掩模图案,从而沿衬底 100 的表面留下抛光止挡件 102。可使用已知光致抗蚀剂工艺进行掩模的施加及移除。根据一个实施例,在衬底 100 上形成抛光止挡件 102。然而,根据另一实施例,在所述半导体晶片的其它层上形成抛光止挡件 102。

[0044] 一个实例性衬底由蓝宝石制成,其非常适合于垂直 LED 制作工艺。本发明的实施例可尤其适合与型 III-V、非硅材料一同使用。在型 III-V 材料中,外延生长工艺可在稍后形成在半导体晶片上的装置的构造及操作中是重要的。然而,本发明的应用未必应限于这些材料,且可根据本发明的实施例使用任何其它合适的衬底材料。

[0045] 所述硬材料是任一合适的硬材料。在一个实例性实施例中,所述硬材料在用于晶

片或装置中的所有材料中是最硬的。所述硬材料可以是金刚石膜或类金刚石碳 (DLC) 膜。用作抛光止挡件 102 的其它合适硬材料可以是 (举例来说) 金刚石、类金刚石碳 (DLC)、氮化钛 (TiNx)、钛钨 (TiWx) 合金、过渡金属氮化物或其它合适材料。抛光止挡件的大小可以是正在制作的晶片的特定应用所要求的任何宽度及高度。此外,用于描述抛光止挡件 102 的术语“硬”并不意指限于给出的实例或限于任何具体硬度或软度等级,而是可以是适合完成所描述方法的任一类型的材料。

[0046] 图 2 是根据本发明的实施例半导体晶片的显示外延层的生长的截面图。在以抛光止挡件 102 形式将所述硬材料施加到衬底 100 之后,在衬底 100 上生长一个或一个以上外延层 104、106。在图 2 中所示的所图解说明实施例中,在衬底 100 上生长缓冲层 104,例如 u-GaN 层。尽管显示仅一个层外延 106 生长在缓冲层 104 上,但此层既定表示根据特定应用要求可生长的任一数目的任何合适半导体材料层。类似地,尽管显示仅一个缓冲层 104,但此层既定表示所要求的一个或一个以上缓冲层。用于外延生长的一个实例性配置 (其可用于产生 GaN LED) 包括生长在蓝宝石衬底 100 上的未经掺杂或轻掺杂 u-GaN 层,随后是一个或一个以上轻掺杂 n-型 GaN (n-GaN) 层、具有多个量子阱 (MQW) 结构的有源层及 p-型 GaN (p-GaN) 层。然而,所图解说明的实例不打算将本发明限定为不同外延层的任一特定数目或排序。

[0047] 一般来说,可能难以知道 u-GaN 层的厚度,且也难以明确地知道 u-GaN 与剩余层 (例如, n-型层) 之间的界面或结。相应地,在已知制作方法中做此的能力已证明是困难的、成本高的及 / 或不可能的。因此,本发明的实施例还提供对 u-GaN 层的明确移除,从而以所要求程度的明确性知道应在何处停止蓝宝石衬底移除。

[0048] 图 3 是根据本发明的实施例半导体晶片的显示抛光止挡件在外延层上的形成的截面图。在图 3 中所示的所图解说明实施例中,在衬底 100 上生长一个或一个以上第一缓冲层 104。然后在第一缓冲层 104 中的一者上形成抛光止挡件 102。可在抛光止挡件 102 上生长另外一个或一个以上缓冲层 105。然后可在第二缓冲层 105 上生长一个或一个以上外延层 106。如参照图 2 类似地描述,尽管显示仅一个层 106 生长在第二缓冲层 105 上,但此层既定表示根据特定应用要求可生长的任一数目的任何合适半导体材料层。

[0049] 图 4 是根据本发明的实施例半导体晶片的显示光子结构在外延层中的形成的截面图。图 4 中所图解说明的实例性实施例类似于图 2,其具有衬底 100、施加到衬底 100 的抛光止挡件 102、一个或一个以上缓冲层 104 及生长在一个或一个以上缓冲层 104 上的一个或一个以上外延层 106。将光改变材料 108 添加到一个或一个以上缓冲层 104。在制作 LED 的情况下,光改变材料 108 可以是用于增强光抽取的光散射元件。举例来说,可通过蚀刻或通过材料添加到层 (例如,二氧化硅 (SiO<sub>2</sub>) 或氮化硅 (SiN)) 来添加光子晶体结构。所述光子结构也可以是真空或在材料层内的预定位置处不包括材料。

[0050] 图 5 是根据本发明的实施例半导体晶片的显示与蚀刻止挡层组合的抛光止挡件的形成的截面图。图 5 中所图解说明的实例性实施例类似于图 2,其具有衬底 100、施加到衬底 100 的抛光止挡件 102、一个或一个以上缓冲层 104、105 及生长在一个或一个以上缓冲层 104、105 上的一个或一个以上外延层 106。另外,在一个或一个以上缓冲层 104 中或之间生长蚀刻止挡层 103。蚀刻止挡层 103 在稍后蚀刻工艺期间可以是有利的。在一个实施例中,将使用高选择性湿式蚀刻,然而也可使用所属领域的技术人员已知的干式蚀刻及其它合适

的蚀刻方法。一个或一个以上止挡层可用于衬底 100 的移除之后的后续工艺。举例来说,可在止挡层 103 处终止蚀刻工艺。所述止挡层也可用作泄露降低层,例如在稍后使用晶片制造晶体管等时。

[0051] 根据一个实施例,止挡层 103 是具有  $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$  性质的  $\text{AlInGaN}$  层。在一个实施例中,  $x$  小于或等于约 0.35。在另一实施例中,  $x$  小于或等于约 0.4。在另一实施例中,  $x$  可在 0.2 到 0.5 的范围中。在另一实施例中,  $y$  小于或等于约 0.1。在另一实施例中,  $y$  小于或等于约 0.2 或在 0.05 到 0.25 的范围中。然而,可使用其它合适值及  $x$  及  $y$  值的其它范围。根据另一实施例,止挡层 103 可以是具有性质  $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$  层的高度掺杂  $\text{AlGaN}$  层。 $\text{AlGaN}$  层的一个可能厚度可小于  $0.2\ \mu\text{m}$ 。在另一实施例中,  $\text{AlGaN}$  层的厚度可等于约  $0.2\ \mu\text{m}$ 。在一个实施例中,所述层厚度应足够薄以用于到  $\text{AlN}$  层中的  $n$  掺杂。如果较厚  $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$  层用作止挡层,那么  $\text{Al}$  摩尔分数应小于约 0.35 以便实现  $\text{Si}$  到  $\text{AlGaN}$  层中的更容易掺杂。

[0052] 所述止挡层提供高蚀刻选择性。一种高蚀刻选择性方法使用光电化学 (PEC) 湿式蚀刻,其是高带隙相依蚀刻选择性。PEC 蚀刻是电子空穴对的光生作用,其增强电化学反应中的氧化及还原反应。根据本发明的实施例,止挡层 103 也可包含  $\text{AlN}/\text{GaN}$  超晶格结构。所述超晶格止挡层包含  $\text{GaN}$  层及  $\text{AlN}$  层,其一同形成  $\text{AlN}/\text{GaN}$  超晶格 ( $\sim 30^\circ/30^\circ$ ) 止挡层。所述超晶格结构由邻近  $\text{AlN}$  及  $\text{GaN}$  层形成。所述超晶格结构可包含任一所需数目的  $\text{AlN}$  与  $\text{GaN}$  对。

[0053] 图 6 是根据本发明的实施例半导体晶片的显示抛光止挡层的形成的截面图。图 6 中所图解说明的实例性实施例类似于图 2,其具有衬底 100、施加到衬底 100 的抛光止挡件 102、一个或一个以上缓冲层 104、105 及生长在一个或一个以上缓冲层 104、105 上的一个或一个以上外延层 106。另外,将抛光止挡层 110 添加到抛光止挡件 102 中的每一者。抛光止挡层 110 可减小抛光止挡件 102 与缓冲层 104 之间的应力或晶格不匹配。抛光止挡层 110 也可用于外延横向过生长的位错降低。

[0054] 根据一个实施例,抛光止挡件 102 中的每一者由第一材料制成,且所述抛光止挡层中的每一者由第二材料制成,所述两种材料之间的差异提供优点。根据另一实施例,所述抛光止挡层可完全包围并覆盖所述抛光止挡件,以使得所述抛光止挡件的任何部分均不接触邻近于抛光止挡件 102 的包围层。

[0055] 现在参照图 7 到 13,参照图 1 到 6 描述的半导体晶片可进一步用于制作半导体装置。

[0056] 图 7 是根据本发明的实施例半导体装置 150 的显示抛光止挡件的形成的截面图。图 7 中所图解说明的实例性实施例除其它层以外还包括图 2 中所示的组件。半导体装置 150 包括衬底 200、施加到衬底 200 的抛光止挡件 202、生长在衬底 200 上的一个或一个以上缓冲层 204 及生长在一个或一个以上缓冲层 204 上的一个或一个以上外延层 206。另外,在半导体装置的制作期间,可使用积层或层压工艺或任何其它合适制作工艺将额外层添加到一个或一个以上外延层 206。在所图解说明的实施例中,半导体装置 150 包括一个或一个以上金属层 220、222。一个或一个以上金属层 220、222 可以是特定应用所要求的任何材料,例如欧姆触点、反射镜、镀敷种层、接合材料、针对应力的缓冲层或其它金属层。

[0057] 图 8 是根据本发明的实施例半导体装置的显示内建触点的形成的截面图。图 8 中所图解说明的实例性实施例类似于图 7 中所示的实例性实施例,半导体装置 150 具有衬底



200、施加到衬底 100 的抛光止挡件 202、生长在所述衬底上的一个或一个以上缓冲层 204、生长在一个或一个以上缓冲层 204 上的一个或一个以上导电层 205、生长在一个或一个以上导电层 205 上的一个或一个以上外延层 206 及添加到一个或一个以上外延层 206 的一个或一个以上金属层 220、222。半导体装置 150 进一步包括延伸到一个或一个以上导电层 205 中的内建 n- 型触点 224。n- 型触点 224 可由绝缘材料 226 包围以防止或减小与其它半导体装置层的接触。

[0058] 图 9 是根据本发明的实施例半导体装置的显示新衬底的形成的截面图。图 9 中所图解说明的实例性实施例类似于图 7 中所示的实例性实施例，半导体装置 150 具有衬底 200、施加到衬底 200 的抛光止挡件 202、生长在衬底 200 上的一个或一个以上缓冲层 204、生长在一个或一个以上缓冲层 204 上的一个或一个以上外延层 206 及添加到一个或一个以上外延层 206 的一个或一个以上金属层 220、222。半导体装置 150 进一步包括接合或镀敷到一个或一个以上金属层 220、222 的第二衬底 230。举例来说，所述第二衬底可由任一合适材料形成，例如铜或适合作为半导体装置衬底的其它材料。

[0059] 图 10 是根据本发明的实施例半导体装置的显示经图案化镀敷的截面图。图 10 中所图解说明的实例性实施例类似于图 9 中所示的实例性实施例，半导体装置 150 具有衬底 200、施加到衬底 200 的抛光止挡件 202、生长在衬底 200 上的一个或一个以上缓冲层 204、生长在一个或一个以上缓冲层 204 上的一个或一个以上外延层 206、添加到一个或一个以上外延层 206 的一个或一个以上金属层 220、222 及接合或镀敷到一个或一个以上金属层 220、222 的第二衬底 230。在所图解说明的实施例中，第二衬底 230 的经图案化镀敷 232 在将半导体装置 150 分离为个别单独组件时可促进切片及应力释放。在一个实施例中，使用光致抗蚀剂工艺形成经图案化镀敷 232。

[0060] 图 11 是根据本发明的实施例半导体装置的显示衬底移除的截面图。图 11 中所图解说明的实例性实施例类似于图 9 中所示的实例性实施例，半导体装置 150 具有形成在施加到衬底 200 的一个或一个以上缓冲层 204 中的抛光止挡件 202(图 9 及 10)、生长在一个或一个以上缓冲层 204 上的一个或一个以上外延层 206、添加到一个或一个以上外延层 206 的一个或一个以上金属层 220、222 及接合或镀敷到一个或一个以上金属层 220、222 的第二衬底 230。在图 11 的所图解说明实施例中，当与图 9 及 10 相比时，衬底 200 已被移除。在一个实施例中，通过机械薄化工艺移除衬底 200，所述工艺一般来说可包括作为所述工艺的部分的对表面的碾磨、研磨、抛光或化学机械抛光。可使用其它移除方法。然而，结合本发明的实施例使用机械薄化方法提供增加的速度及准确性优点。如图 11 中所图解说明，通过机械薄化工艺进行的移除在抛光止挡件 202 的端处停止。由于抛光止挡件 202 由硬材料制成，可明确且精确地在所述抛光止挡件的位置处停止机械薄化，从而留下剩余层。此外，通过使用抛光止挡件 202，可将剩余表面的平坦性控制在所要求限制内。

[0061] 图 12 是根据本发明的实施例半导体装置的显示实例性半导体装置表面变化的截面图。图 12 中所图解说明的实例性实施例类似于图 11 中所示的实例性实施例，半导体装置 150 具有形成在施加到衬底 200 的一个或一个以上缓冲层 204 中的抛光止挡件 202(图 9 及 10)、生长在一个或一个以上缓冲层 204 上的一个或一个以上外延层 206、添加到一个或一个以上外延层 206 的一个或一个以上金属层 220、222 及接合或镀敷到一个或一个以上金属层 220、222 的第二衬底 230。在蚀刻工艺期间已移除缓冲层 204 的至少一部分，从而暴

露抛光止挡件 202 的至少部分。出于图解说明的目的已在半导体装置 150 上显示多个不同 LED 特征。举例来说,图 12 中显示的是表面纹理化 240、钝化 242 及欧姆触点或接合垫 244、微透镜 246 及透明接触层 248。另外,经图案化镀敷 232 形成在第二衬底 230 及一个或一个以上金属层 220、222 中以在将半导体装置 150 分离为个别单独组件时促进切片及应力释放。

[0062] 图 13 是根据本发明的实施例半导体装置的显示内建触点的形成的截面图。图 13 中所图解说明的实例性实施例类似于图 12 中所示的实例性实施例,其进一步包括延伸到一个或一个以上导电层 205 中的内建 n-型触点 224。n-型触点 224 可由绝缘材料 226 包围以防止或减小与其它半导体层的接触。

[0063] 现在参照图 14A 到 21,其显示并图解说明半导体晶片及制作半导体的方法。除非另外描述,否则参照图 14A 到 21 显示及图解说明的半导体晶片的实施例及制作所述半导体晶片的方法类似于参照图 1 到 13 所描述的实施例及方法。

[0064] 图 14A 是根据本发明的实施例半导体晶片的显示抛光止挡件的形成的截面图。提供衬底 1400。在所述衬底上形成抛光止挡件 1402。可使用任一合适方法形成抛光止挡件 1402。根据称作减法方法的一个实例性方法,将硬材料层施加到衬底 1400 的整个表面。然后在所述硬材料层中形成图案,从而移除所述硬材料层的不需要部分且仅留下需要的抛光止挡件 1402。举例来说,可使用反应性离子蚀刻 (RIE) 来形成硬材料的图案。也可通过化学气相沉积或物理气相沉积来形成抛光止挡件。根据称作加法方法的另一实例性方法,跨越衬底 100 的表面形成掩模图案,从而留下孔或沟槽或其它所需形状的开口。然后,以纳米结构的形式跨越衬底 1400 沉积或在衬底 1400 上生长所述硬材料。在另一实施例中,使用凹入方法,可制作完全穿过所述硬材料的孔且用半导体材料填充所述孔。相应地,所述半导体材料可由位于所述硬材料的两侧上的其它半导体材料或组件接触。根据一个实施例,抛光止挡件 1402 形成在衬底 1400 上。然而,根据另一实施例,抛光止挡件 1402 形成在所述半导体晶片的其它层上。根据一个实施例,所述抛光止挡件可形成在经图案化衬底上,如图 14B 中所显示及描述。

[0065] 一个实例性衬底由蓝宝石制成,其非常适合于垂直 LED 制作工艺。本发明的实施例可尤其适合与 III-V、非硅材料一同使用。在 III-V 材料中,外延生长工艺可在稍后形成在半导体晶片上的装置的构造及操作中是重要的。然而,本发明的应用未必应限于这些材料,且可根据本发明的实施例使用任何其它合适的衬底材料。

[0066] 参照图 14A 到 22C 使用的硬材料包括陶瓷材料或基于陶瓷的材料。在一个实施例中,所述陶瓷是氮化硼或基于氮化硼的材料。然而,根据另一实施例,可使用其它陶瓷材料,例如 TiSiN 或 TiAlN。根据一个实施例,可使用过渡金属氮化物材料。根据一个实施例,所述硬材料的摩擦系数低于原始衬底及所述衬底上的半导体层的摩擦系数。可使用任何合适形式的氮化硼,例如立方氮化硼、三元氮化硼、碳化氮化硼 (CBN)、镓三元氮化硼 (GeBN)、氟氮化硼 (BFN)、氧氮化硼 (BNO)、氮化硼纤维、氮化硼纳米网、氮化硼纳米结构 (包括 (举例来说) 纳米管、纳米线、纳米锥及纳米角) 或含氮化硼复合物。在一个实施例中,所述陶瓷材料对于由形成在根据本发明的实施例的半导体晶片中的有源层发射的光是透明的,所述陶瓷材料具有低于邻近于所述陶瓷材料的半导体层的折射率低的折射率。相应地,使用具有低于所述有源区域的折射率的硬材料可减少被反射光的量。

[0067] 根据一个实施例,所述陶瓷材料在高压环境中或高温环境中或高压及高温两者的环境中生长。可使用以下技术执行形成所述陶瓷材料(例如,纳米管):(a) 电弧放电技术,在惰性氛围或  $N_2$  或  $NH_3$  中对  $HfB_2/Ta-BN$  电极(含硼)进行电弧处理;(b) 在高温(例如,  $1200^\circ C$ )下在惰性氛围中对与纳米大小的 Ni 及 Co 粉末混合的氮化硼(BN)粉末进行激光消融;(c) 取代反应,例如 CNT,其中在高温(例如,  $1500^\circ C$ )下在  $N_2$  下使用 CNT 模板  $B_2O_3$  粉末形成 BN 纳米管;(d) 化学气相沉积,在  $> 1000^\circ C$  的高温下,前驱物(例如,  $B_4N_3O_2H$ 、 $B_3N_3H_6$ ) + 催化剂,例如 NiB 或  $Ni_2B$  粉末;或(e) 球磨削,在  $NH_3$  气体中使用元素 B,随后在  $N_2$  或 Ar 下在高温(例如,  $1000^\circ C$  到  $1200^\circ C$ )下进行热退火。

[0068] 可将硬材料抛光止挡件图案化或使其生长为任一合适图案或形状。举例来说,每一抛光止挡件可具有圆形、矩形、三角形截面或为锥形。所述抛光止挡件可以任何图案分布在半导体晶片上,例如任一合适栅格图案的栅格。可根据特定应用优化抛光止挡件的图案的大小、宽度及间距。根据一个实施例,所述抛光止挡件可由多个层的堆叠组成,所述多个层的堆叠的至少一个层包括基于氮化硼的材料。

[0069] 根据一个实例性实施例,通过干式蚀刻(例如,氢气体下的辅助 RIE)来进行硬材料(例如,氮化硼纳米锥或纳米柱)的蚀刻。此种蚀刻方法将涉及通过高能离子碰撞的物理蚀刻及通过反应性氢原子/离子的化学蚀刻两者。所述化学蚀刻中所涉及的反应可以是: $N(\text{表面}) + xH(g) \rightarrow NH_x(g)$ ;  $B(\text{表面}) + xH(g) \rightarrow BH_x(g)$ 。使用金属蚀刻掩模(例如, Ti、Al 或 Au)来诱发优选的 RIE。根据一个实施例,可通过在经图案化掩模上沉积且然后剥离所述掩模来实现硬材料图案化。

[0070] 然而,使用合适的嵌入材料,例如衬底上的基于氮化硼的材料,可不仅改善外延层中的位错密度及堆叠错误以实现更好的内部量子效率,而且在已知所述嵌入材料具有高硬度等级的情况下所述嵌入材料也可在衬底移除工艺中充当抛光止挡件。此外,通过合适地调整基于氮化硼的材料,当与 GaN( $n \sim 2.5$ )及空气( $n \sim 1$ )相比时,其在中间的折射率( $n \sim 1.7$  到  $2.1$ )也可有助于散射及/或增强光抽取。

[0071] 考虑 n-GaN 层中的微柱结构,微柱 InGaN/Cu LED 样本的 350mA 下的光输出功率与常规 InGaN/Cu LED 的光输出功率相比可改善 39%。此改善是因为在微柱表面处散射发射光而导致的光子逸出概率增加而产生。通过进一步优化微柱间距,可实现更好的光抽取效率。

[0072] 图 14B 是根据本发明另一实施例的半导体晶片的显示抛光止挡件的形成的截面图。在图 14B 的所图解说明实施例中,使抛光止挡件 1402 生长到衬底 1400 中或生长到衬底 1400 的表面下方。在所述生长工艺期间,将孔或凹穴制作到衬底 1400 中,且用于形成抛光止挡件 1402 的材料至少部分位于所述孔或凹穴中。

[0073] 图 14C 是根据本发明另一实施例的半导体晶片的显示抛光止挡件的形成的截面图。根据一个实施例,抛光止挡件 1402 中的每一者由第一材料制成,且抛光止挡件 1402 中的每一者包括由第二材料制成的保形层或覆盖层 1403。两种材料之间的差异可提供优点。在图 14C 中所图解说明的实施例中,所述抛光止挡层完全包围并覆盖所述抛光止挡件,以使得所述抛光止挡件的任何部分均不接触邻近于抛光止挡件 1402 的包围层。然而,所述保形层也可覆盖抛光止挡件 1402 的一部分,例如抛光止挡件 1402 的顶部。举例来说,保形层 1403 可包括  $SiO_2$  或  $SiN_x$  或这些材料中的一种或一种以上的多个层,或由其组成。在另一

实施例中,保形层 1403 提供与参照图 6 所图解说明及描述的抛光止挡层 110 类似的功能。

[0074] 图 15 是根据本发明的实施例半导体晶片的显示外延层的生长的截面图。在以抛光止挡件的形式将硬材料施加到衬底 1400 之后,在衬底 1400 上生长一个或一个以上外延层 1404、1406。在图 15 中所示的所图解说明实施例中,在衬底 1400 上生长缓冲层 1404,例如 u-GaN 层或 GaN 包覆层。尽管显示仅一个层外延 1406 生长在缓冲层 1404 上,但此层既定表示根据特定应用要求可生长的任一数目的任何合适半导体材料层。用于外延生长的一个实例性配置(其可用于产生 GaN LED)包括生长在蓝宝石衬底 1400 上的未经掺杂或轻掺杂 u-GaN 层 1404,随后是一个或一个以上轻掺杂 n-型 GaN(n-GaN)层、具有多个量子阱(MQW)结构的有源层及 p-型 GaN(p-GaN)层。然而,所图解说明的实例不打算将本发明限定为不同外延层的任一特定数目或排序。

[0075] 图 16 是根据本发明的实施例半导体晶片的显示抛光止挡件在外延层上的形成的截面图。在图 16 中所示的所图解说明实施例中,在衬底 1400 上生长一个或一个以上第一缓冲层 1404。然后在所述第一缓冲层 1404 中的一者上形成抛光止挡件 1402。可在抛光止挡件 1402 上生长另外一个或一个以上缓冲层 1405。然后可在第二缓冲层 1405 上生长一个或一个以上外延层 1406。如参照图 15 类似地描述,尽管显示仅一个层 1406 生长在第二缓冲层 1405 上,但此层 1406 既定表示根据特定应用要求可生长的任一数目的任何合适半导体材料层。

[0076] 图 17 是根据本发明的实施例半导体晶片的显示与蚀刻止挡层 1403 组合的抛光止挡件的形成的截面图。图 17 中所图解说明的实例性实施例类似于图 15,其具有衬底 1400、施加到衬底 1400 的抛光止挡件 1402、一个或一个以上缓冲层 1404、1405 及生长在一个或一个以上缓冲层 1404、1405 上的一个或一个以上外延层 1406。另外,在一个或一个以上缓冲层 1404、1405 中或之间生长蚀刻止挡层 1403。蚀刻止挡层 1403 在稍后蚀刻工艺期间可以是有利的。在一个实施例中,将使用高选择性湿式蚀刻,然而也可使用所属领域的技术人员已知的干式蚀刻及其它合适的蚀刻方法。一个或一个以上止挡层可用于衬底 1400 的移除之后的后续工艺。举例来说,可在止挡层 1403 处终止蚀刻工艺。所述止挡层也可用作泄露降低层,例如在稍后使用晶片制造晶体管等时。

[0077] 现在参照图 18 到 21,参照图 14 到 17 描述的半导体晶片可进一步用于制作半导体装置。

[0078] 图 18 是根据本发明的实施例半导体装置 1850 的显示抛光止挡件的形成的截面图。图 18 中所图解说明的实例性实施例除其它层以外还包括图 2 中所示的组件。半导体装置 1850 包括衬底 1400、施加到衬底 1400 的抛光止挡件 1402、生长在衬底 1400 上的一个或一个以上缓冲层 1404 及生长在所述一个或一个以上缓冲层 1404 上的一个或一个以上外延层 1406。另外,在半导体装置的制作期间,可使用积层或层压工艺或任何其它合适制作工艺将额外层添加到一个或一个以上外延层 1406。在所图解说明的实施例中,半导体装置 1850 包括一个或一个以上金属层 1420、1422。一个或一个以上金属层 1420、1422 可以是特定应用所要求的任何材料,例如欧姆触点、反射镜、镀敷种层、接合材料、针对应力的缓冲层或其它金属层。可将一个或一个以上金属层 1420、1422 图案化且其不需要彼此完全接触。

[0079] 图 19 是根据本发明的实施例半导体装置的显示新衬底的形成的截面图。图 19 中所图解说明的实例性实施例类似于图 18 中所示的实例性实施例,半导体装置 1850 具有衬

底 1400、施加到衬底 1400 的抛光阻挡件 1402、生长在衬底 1400 上的一个或一个以上缓冲层 1404、生长在一个或一个以上缓冲层 1404 上的一个或一个以上外延层 1406 及添加到一个或一个以上外延层 1406 的一个或一个以上金属层 1420、1422。半导体装置 1850 进一步包括接合或镀敷到一个或一个以上金属层 1420、1422 的第二衬底 1430。举例来说,第二衬底 1430 可由任一合适材料形成,例如铜或适合作为半导体装置衬底的其它材料。

[0080] 图 20 是根据本发明实施例的半导体装置的显示衬底移除的截面图。图 20 中所图解释明的实例性实施例类似于图 19 中所示的实例性实施例,半导体装置 1850 具有形成在施加到衬底 1400 的一个或一个以上缓冲层 1404 中的抛光阻挡件 1402(图 19)、生长在一个或一个以上缓冲层 1404 上的一个或一个以上外延层 1406、添加到一个或一个以上外延层 1406 的一个或一个以上金属层 1420、1422 及接合或镀敷到一个或一个以上金属层 1420、1422 的第二衬底 1430。在图 20 的所图解释明实施例中,当与图 9 相比时,衬底 1400 已被移除。在一个实施例中,通过机械薄化工艺移除衬底 1400,所述工艺一般来说可包括作为所述工艺的部分的对表面的碾磨、研磨、抛光或化学机械抛光。可使用其它移除方法。然而,结合本发明的实施例使用机械薄化方法提供增加的速度、准确性及生产量的优点。如图 20 中所图解释明,通过机械薄化工艺进行的移除在抛光阻挡件 1402 的端处停止。由于抛光阻挡件 1402 由硬材料制成,可明确且精确地在所述抛光阻挡件的位置处停止机械薄化,从而留下剩余层。此外,通过使用抛光阻挡件 1402,可将剩余表面的平坦性控制在所要求限制内。

[0081] 图 21 是根据本发明实施例的半导体装置的截面图。图 21 中所图解释明的实例性实施例类似于图 20 中所示的实例性实施例,半导体装置 1850 具有形成在施加到衬底 1400 的一个或一个以上缓冲层 1404 中的抛光阻挡件 1402(图 19)、生长在一个或一个以上缓冲层 1404 上的一个或一个以上外延层 1406、添加到一个或一个以上外延层 1406 的一个或一个以上金属层 1420、1422 及接合或镀敷到一个或一个以上金属层 1420、1422 的第二衬底 1430。在蚀刻工艺期间已移除缓冲层 1404 的至少一部分,从而暴露抛光阻挡件 1402 的至少一部分。另外,在第二衬底 1430 及一个或一个以上金属层 1420、1422 中形成非导电隔离层 1432 以在将半导体装置 1850 分离为个别单独组件时促进切块及应力释放。

[0082] 图 22A 是根据本发明的实例性实施例的垂直 LED 结构 2200。垂直 LED 结构 2200 包括替换衬底 2202、p-金属 2204、p-GaN 层 2206、多量子阱层 2208、n-GaN 层 2210、抛光阻挡件 2214 及形成在 n-GaN 层 2210 或 n-GaN 层 2210 及抛光阻挡件 2214 上的电极 2216。

[0083] 图 22B 是根据本发明的实施例的垂直 LED 结构 2300。在图 22B 中,垂直 LED 结构 2300 的 GaN 缓冲层 2212 已经蚀刻以使得电极 2216 可直接接触 n-GaN 层 2210。剩下抛光阻挡件 2214 及抛光阻挡件 2214 下方的 GaN 缓冲层的部分。类似地,可根据特定实施方案的要求蚀刻任何合适的层。

[0084] 图 22C 是根据本发明的实施例的垂直 LED 结构 2400。图 22C 中所示的垂直 LED 结构类似于图 22B 中所示的垂直 LED 结构。然而,在图 22C 中所示的垂直 LED 结构 2400 中,当与图 22B 相比时,电极 2216 附近的抛光阻挡件 2214 也已经移除。相应地,根据特定应用的要求,抛光阻挡件 2214 可保留在 LED 结构上或被移除。

[0085] 图 23 是根据本发明的另一实例性实施例的倒装芯片 LED 结构。倒装芯片 LED 结构 2500 被配置为倒装芯片 LED,其包括蓝宝石衬底 2302、p-金属层 2322、p-GaN 层 2306、多

量子阱层 2308、n-GaN 层 2310、GaN 缓冲层 2312、抛光阻挡层 2314 及形成在 n-GaN 层 2310 上的 n- 电极 2324。LED 结构 2300 被软焊到载体 2326。

[0086] 在常规半导体晶片中,当应用机械薄化方法时,如果待抛光的平面非常大,那么层的厚度中的变化对于有用的实际应用来说可能太大。根据本发明的实施例,包括抛光阻挡件用于有效地减小所述平面的大小以使得所述厚度中的变化减小,即使所述平面的总大小较大。因此,可通过控制所述抛光阻挡件的大小及 / 或其之间的距离来获得可接受的变化范围。尽管将所述抛光阻挡件大体显示为正方形或矩形,但根据本发明的实施例的抛光阻挡件可以是任一形状,例如线、点、圆形、三角形或矩形,且可位于所述平面上的任何合适位置中。

[0087] 尽管已参照所图解说明的实施例特定对本发明予以显示及描述,但所属领域的技术人员应理解,在不背离本发明的精神及范围的前提下可在形式及细节上作出改变。举例来说,尽管图 14A 到 23 的实施例中所图解说明的半导体装置并入有施加到蓝宝石衬底的抛光阻挡件,但所述半导体装置的其它实施例可并入有施加到所述半导体装置的外延层的抛光阻挡件,如上文参照图 3 及 16 所描述。相应地,以上说明既定提供本发明的实例性实施例,且本发明的范围不受所提供的具体实例限制。

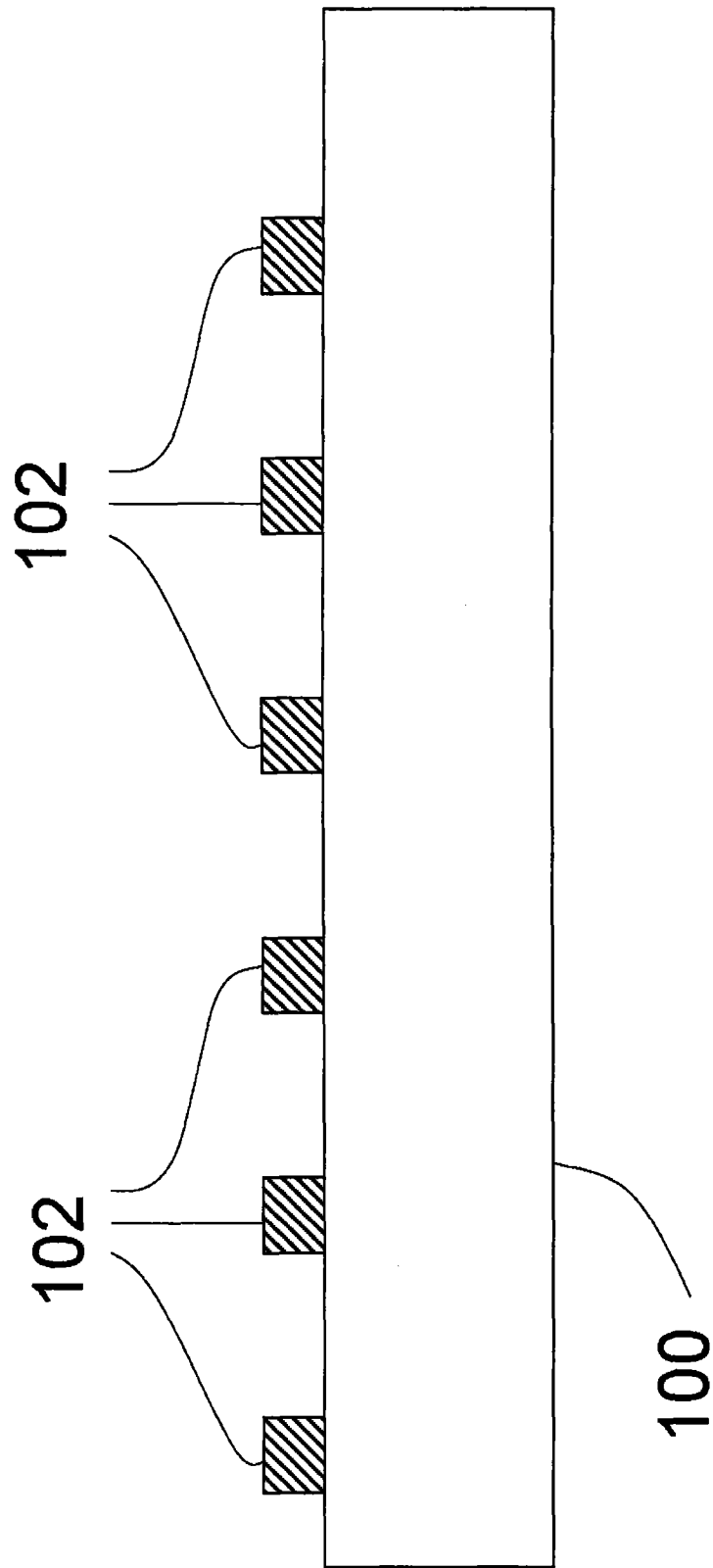


图 1

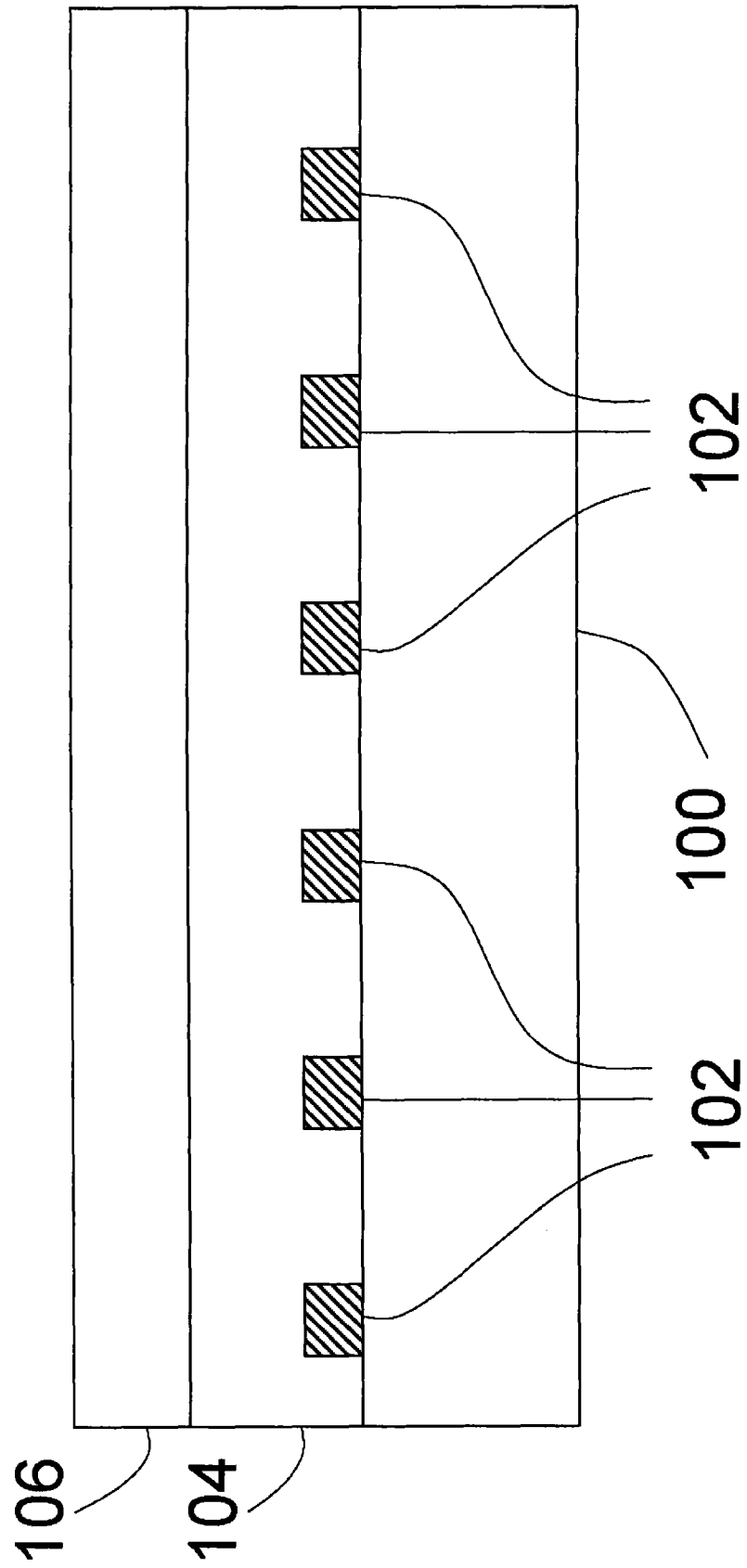


图 2



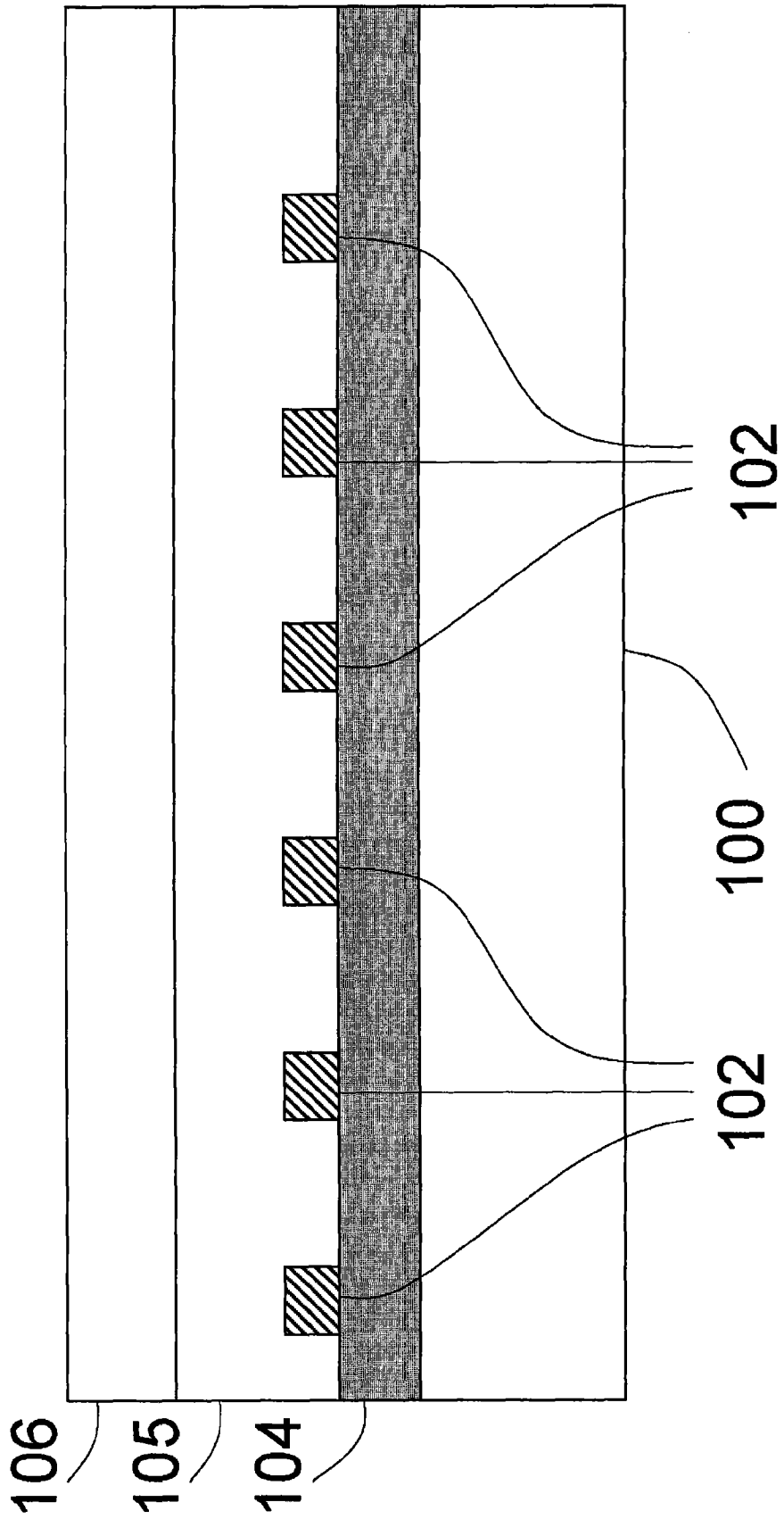


图 3

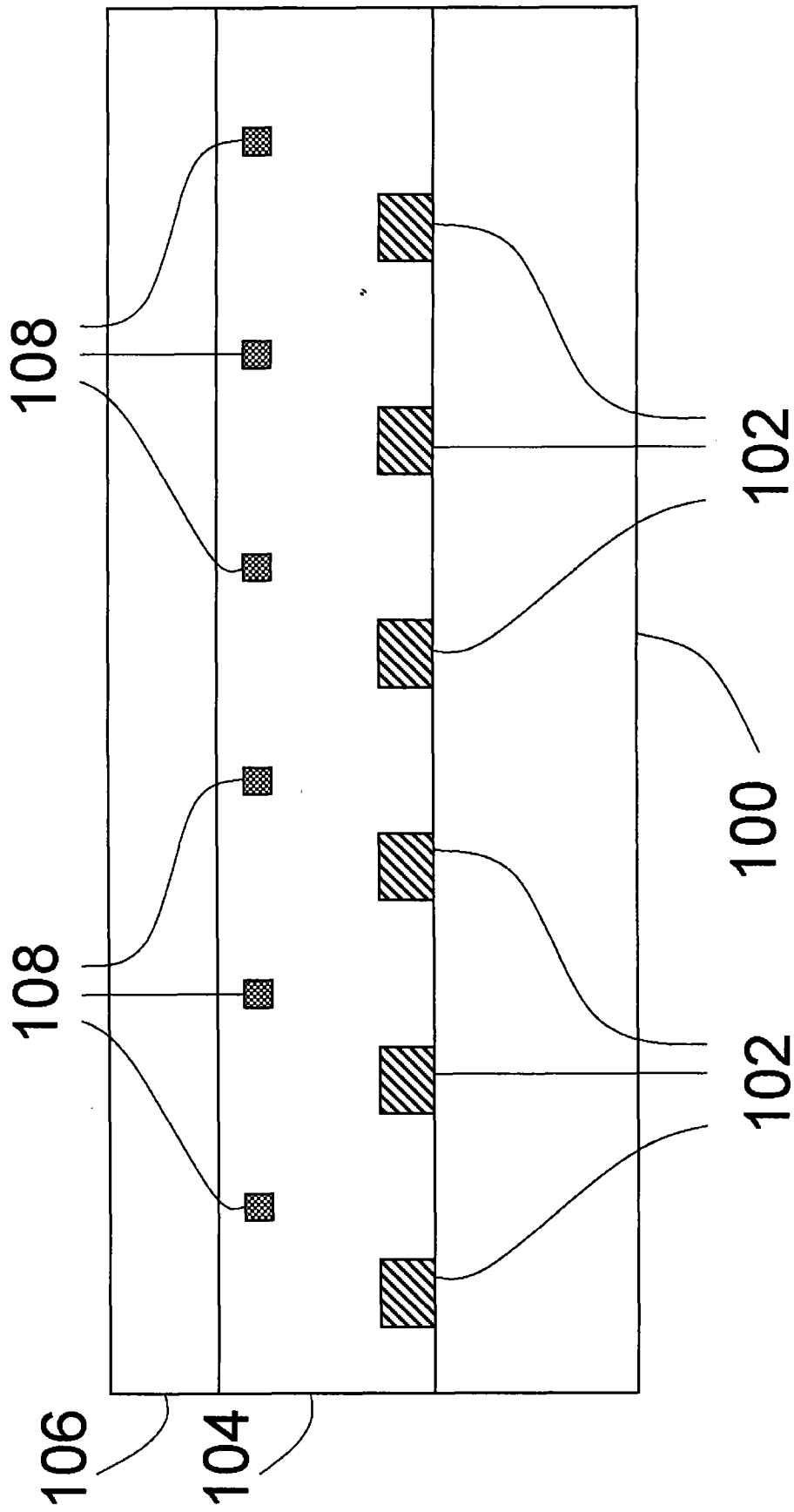


图 4

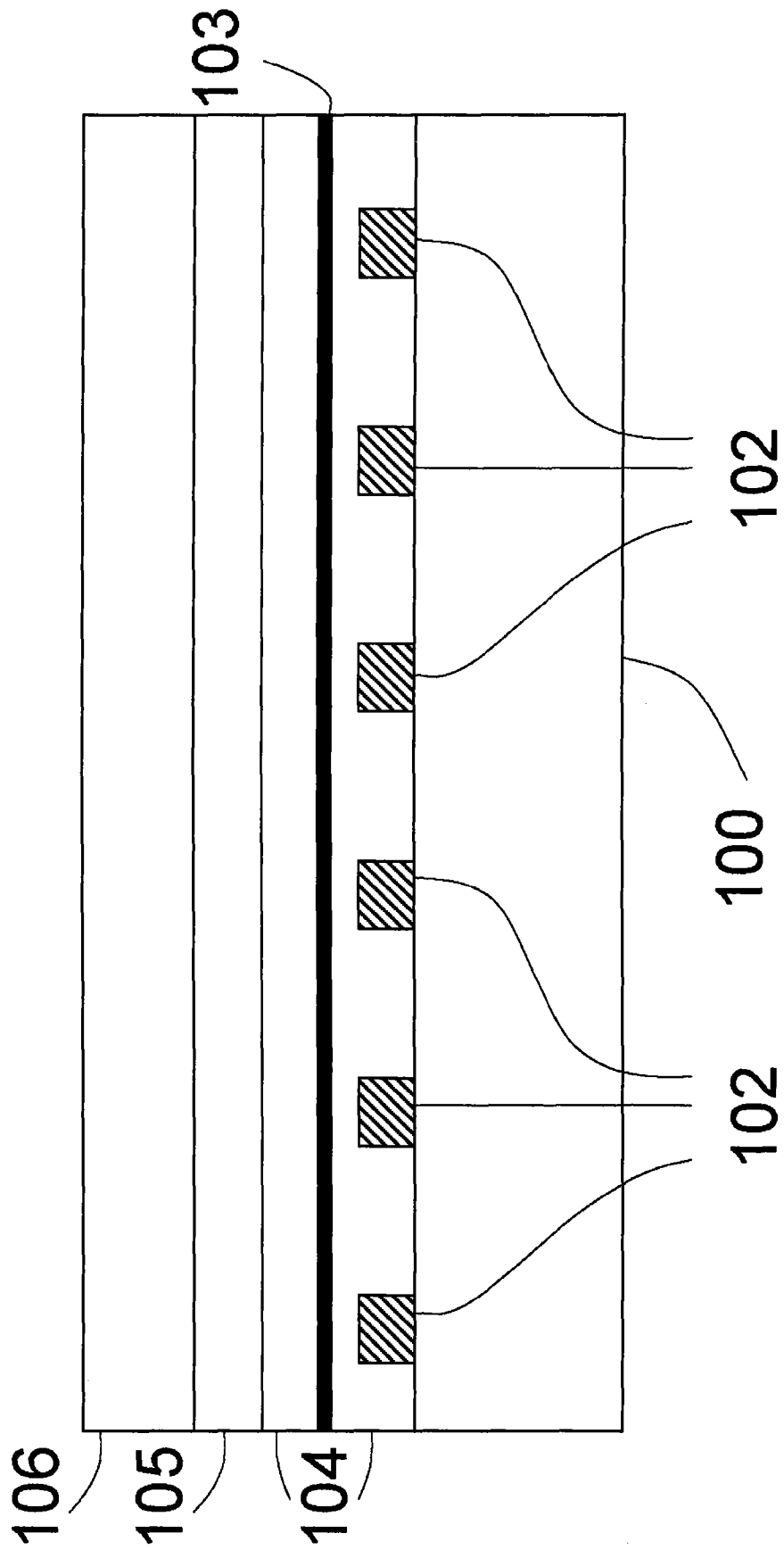


图 5

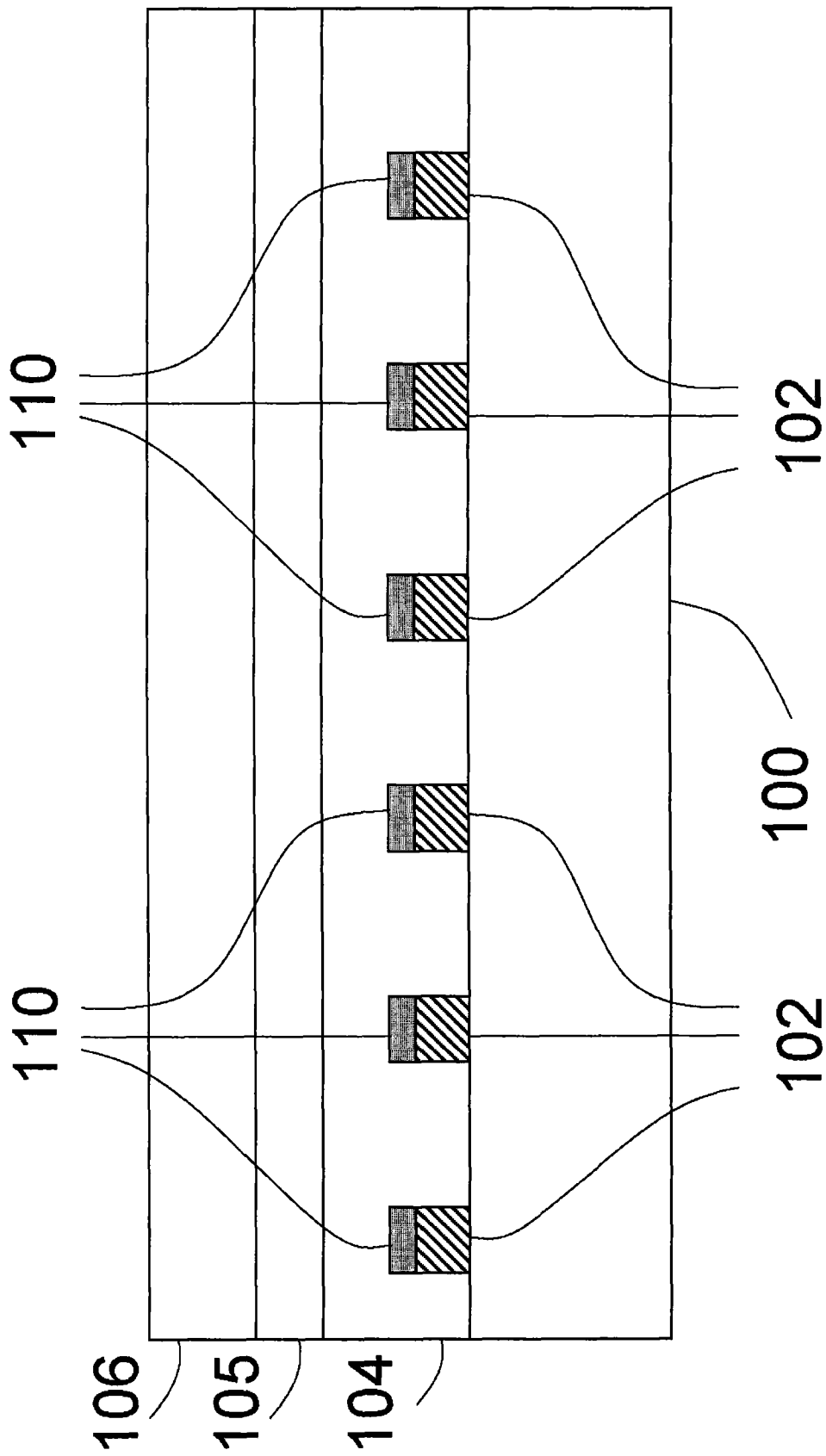


图 6

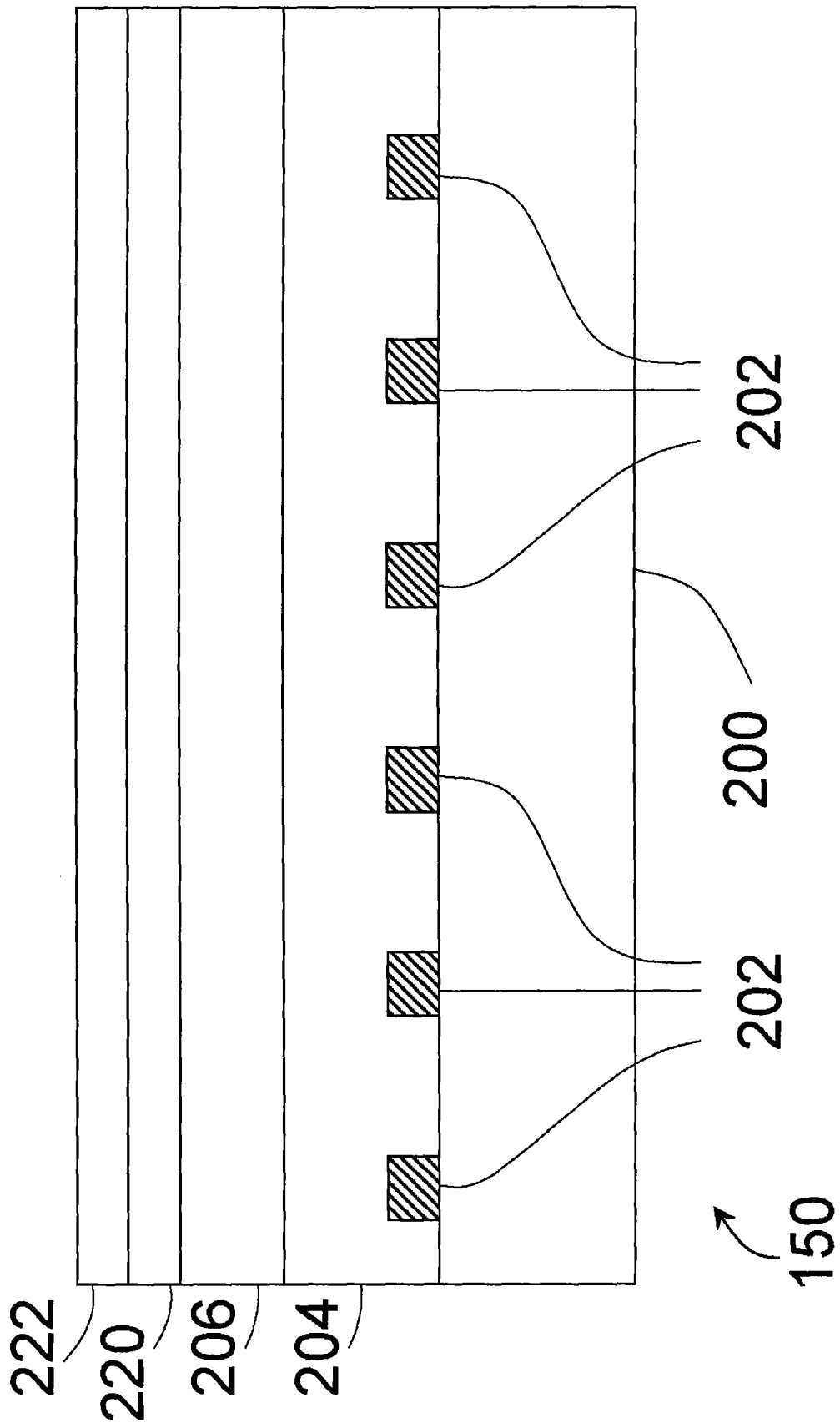


图 7

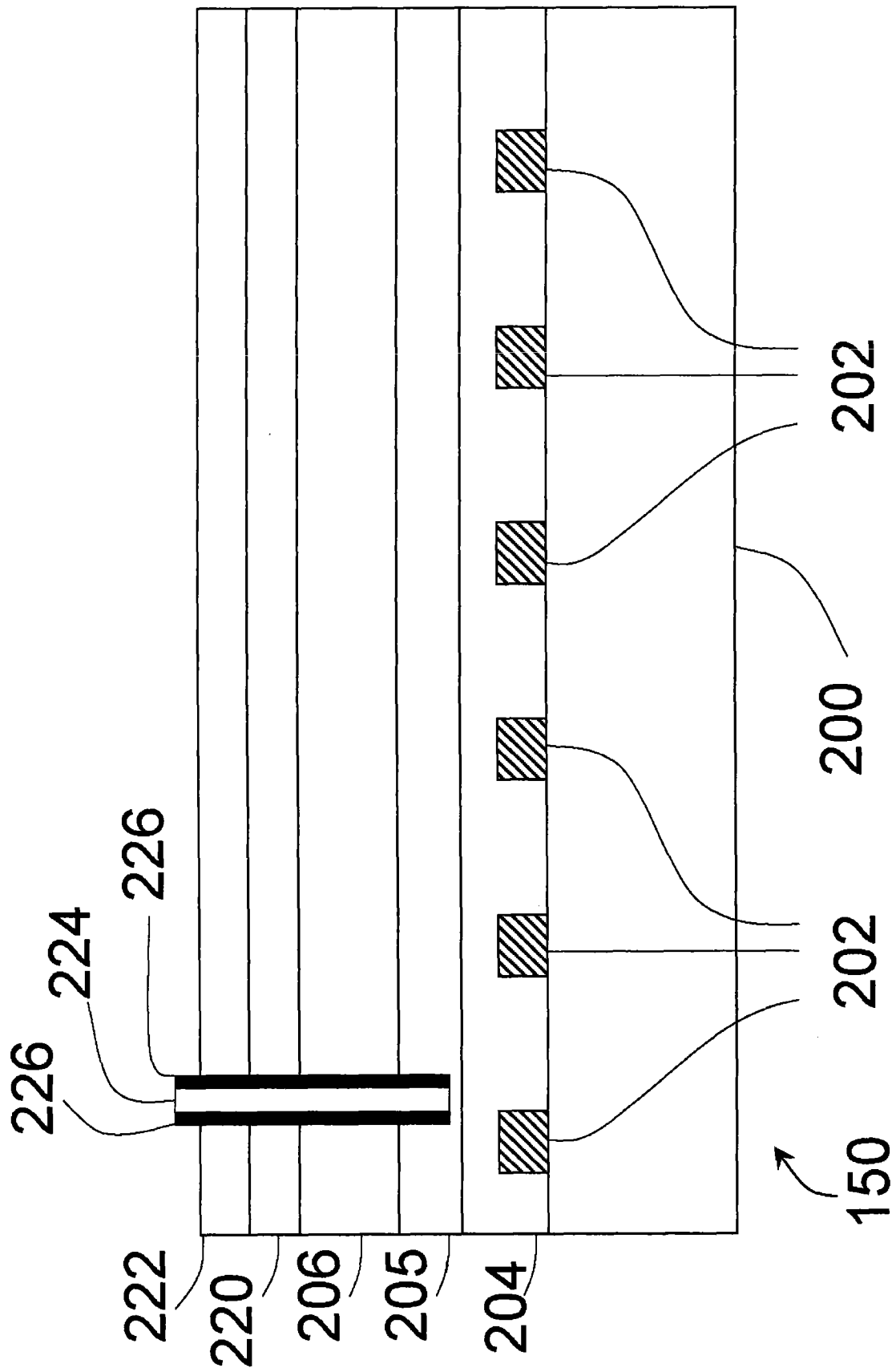


图 8

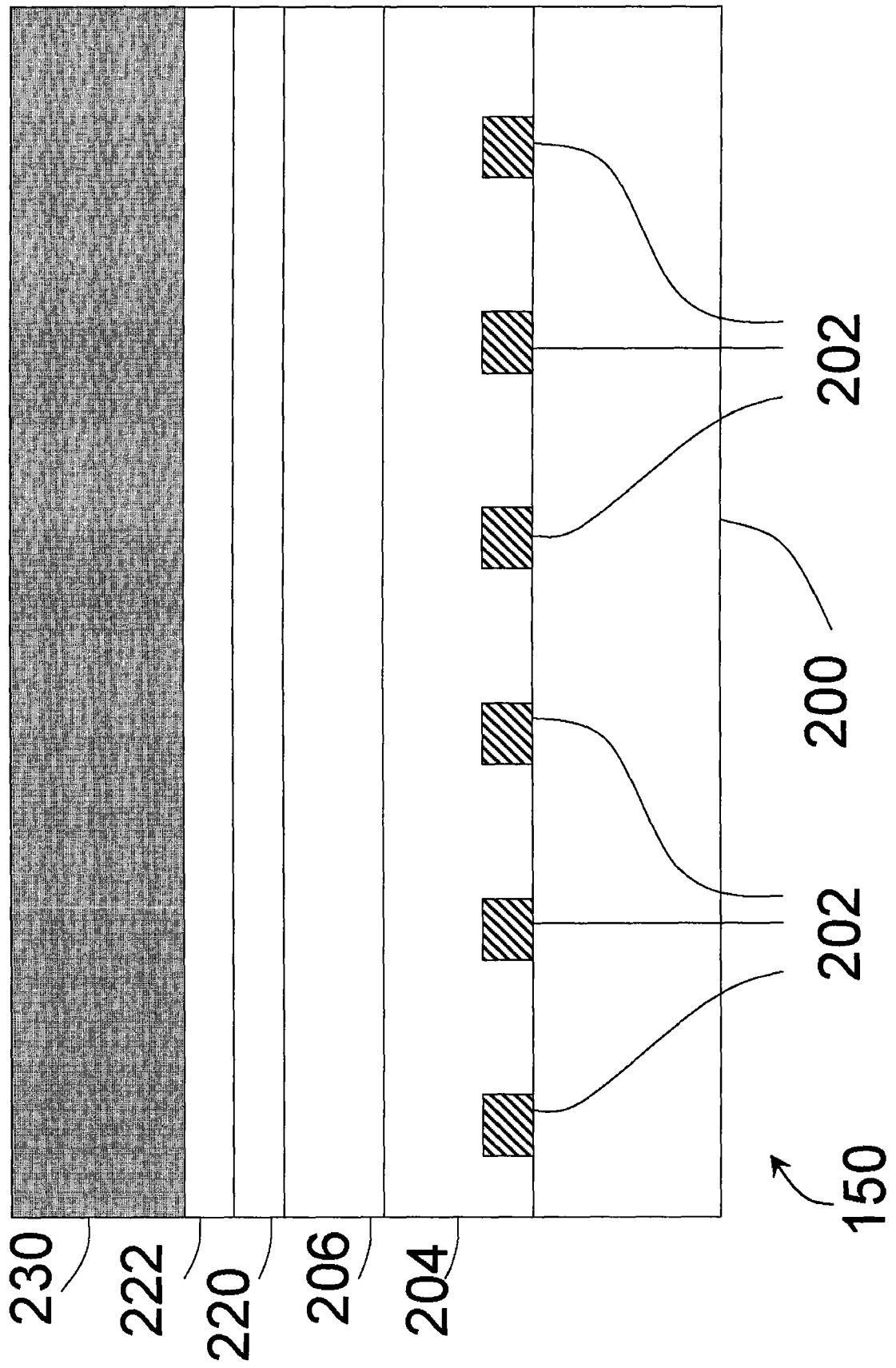


图 9

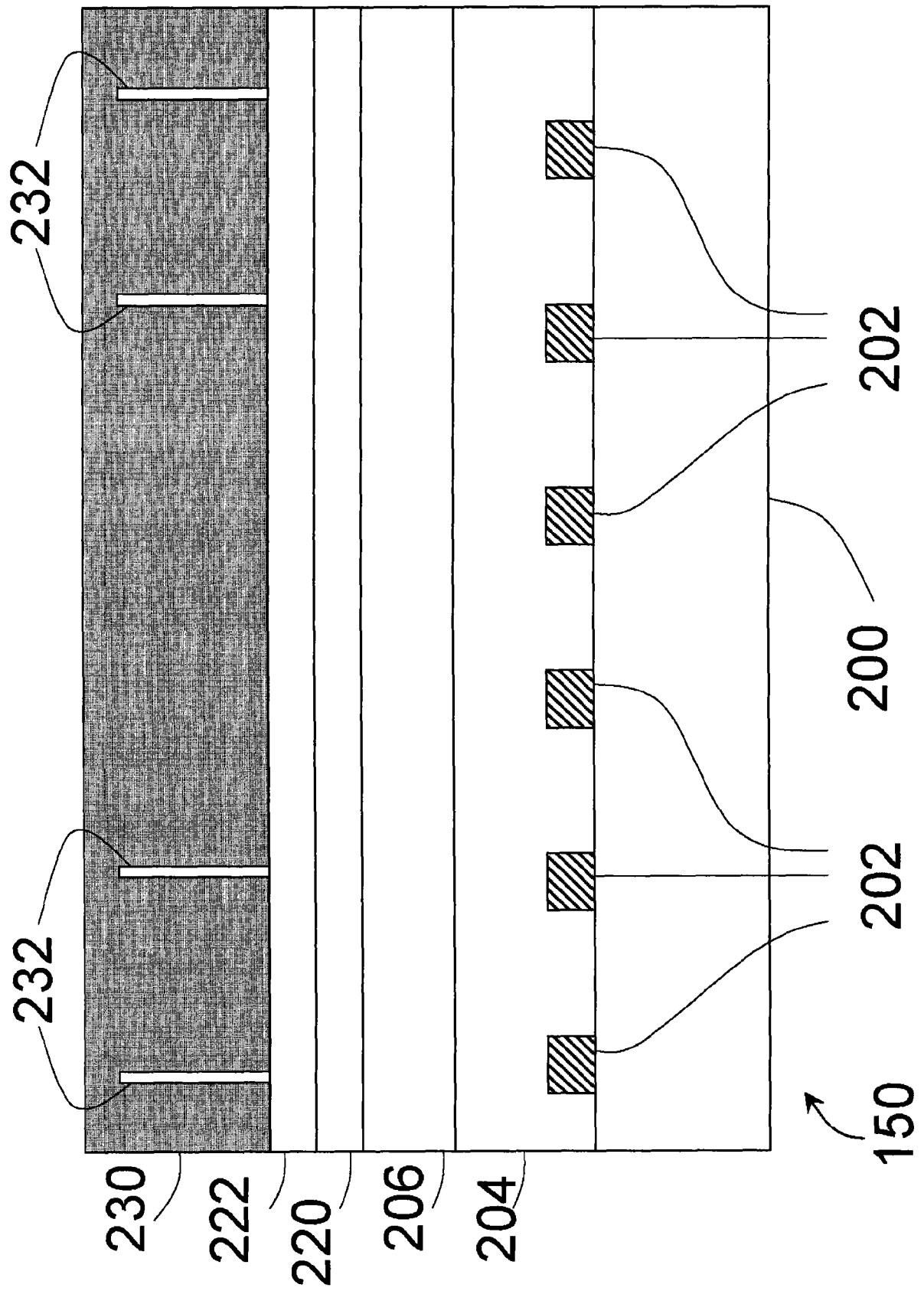


图 10



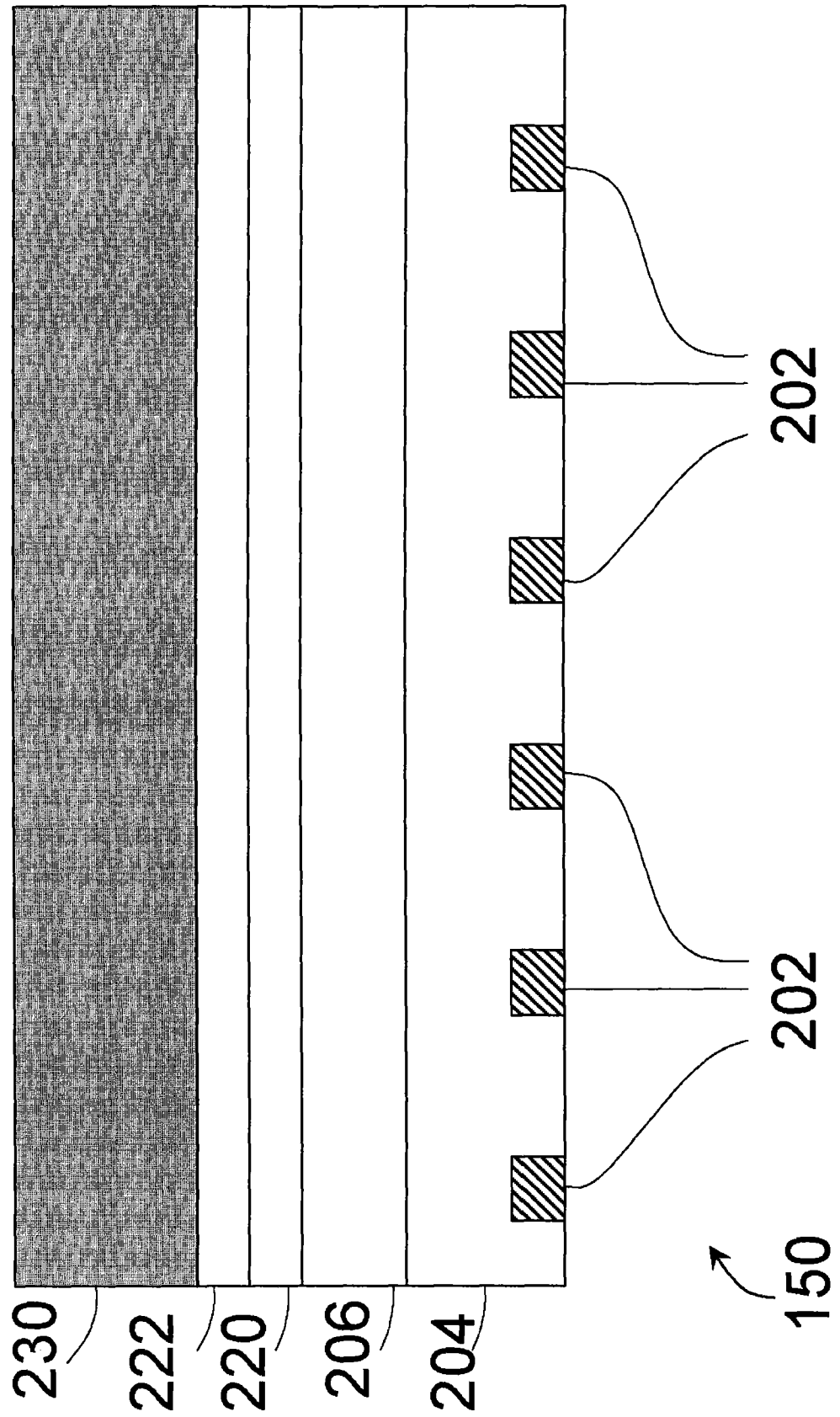


图 11

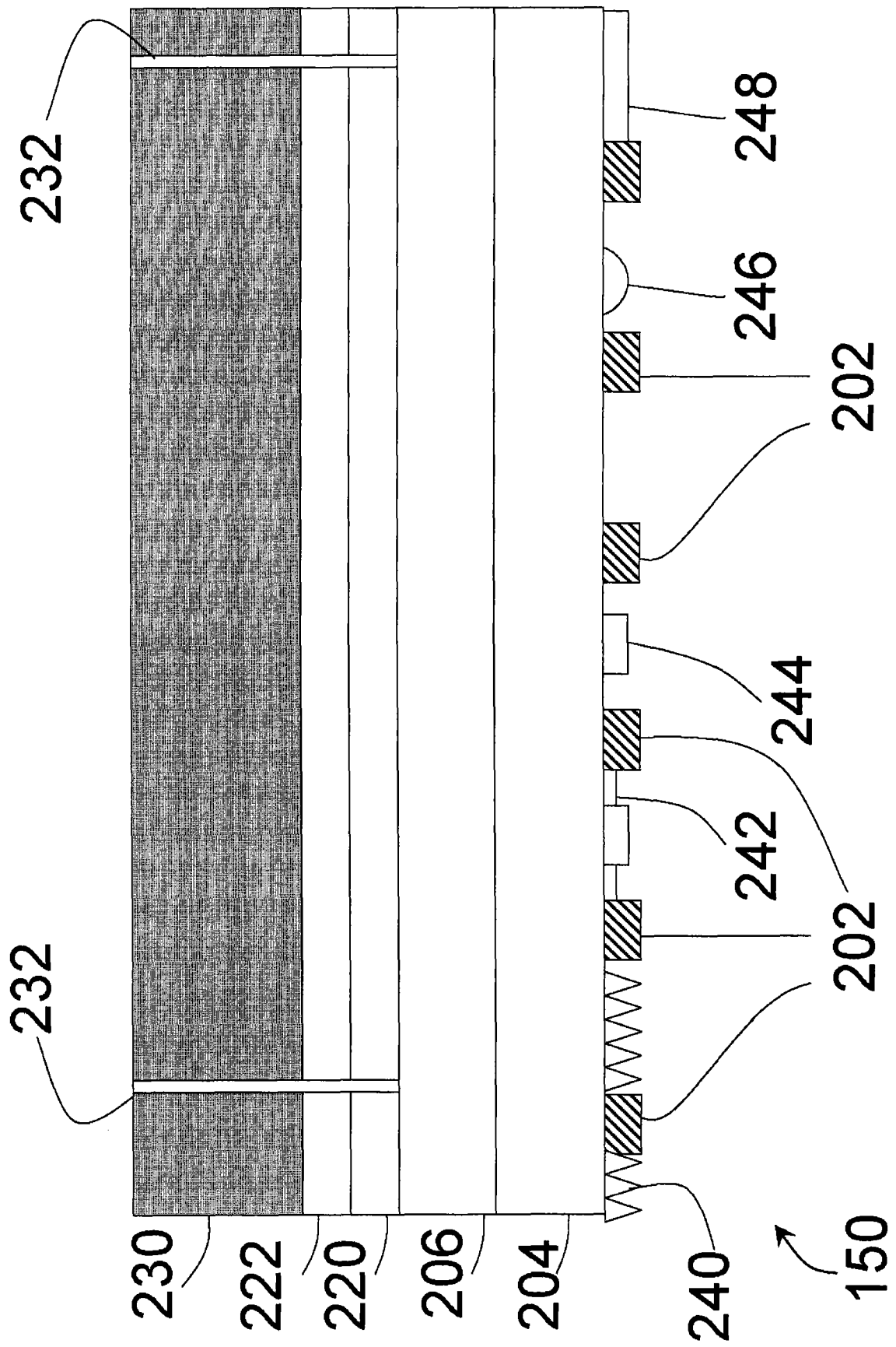


图 12

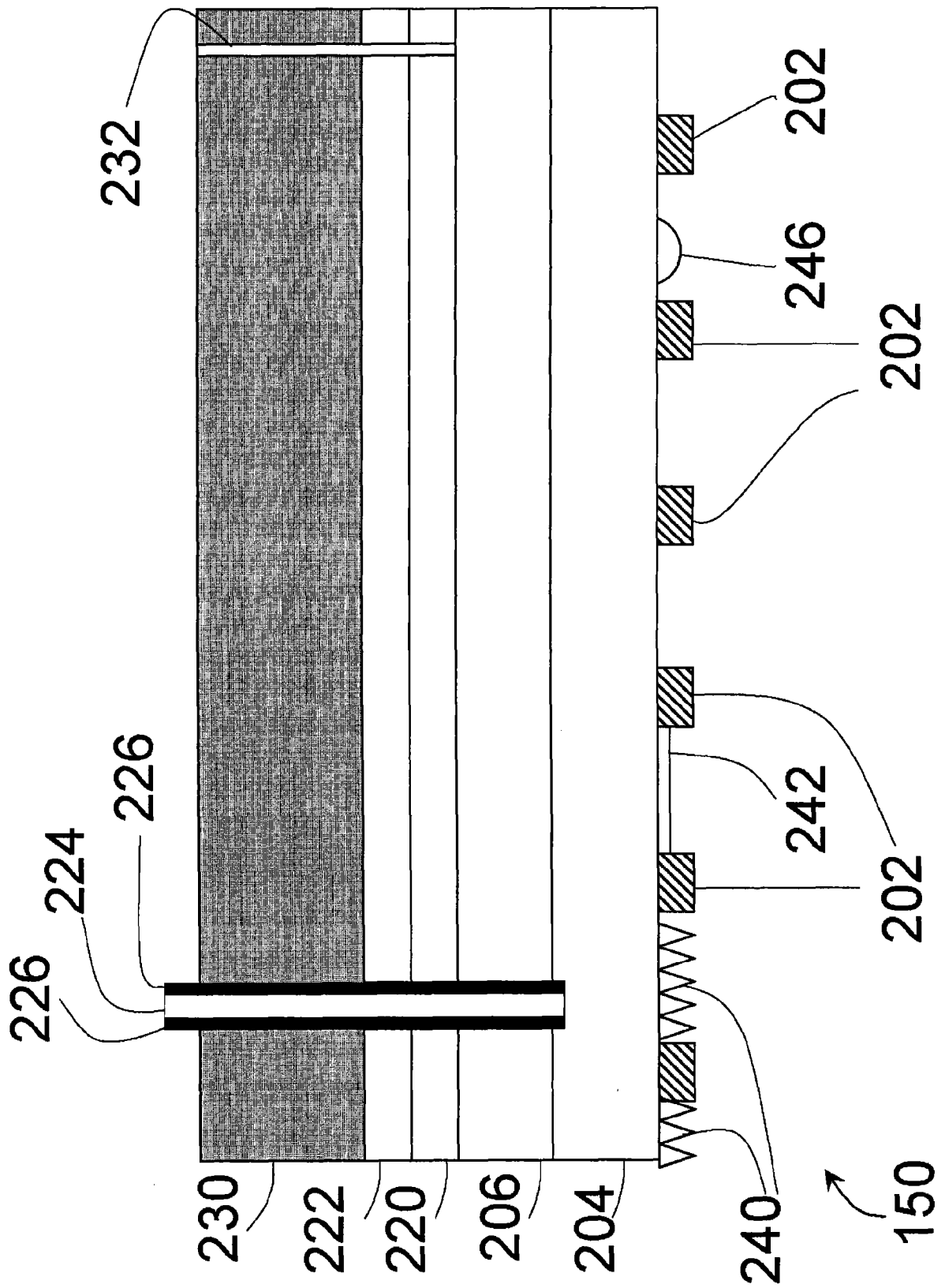


图 13

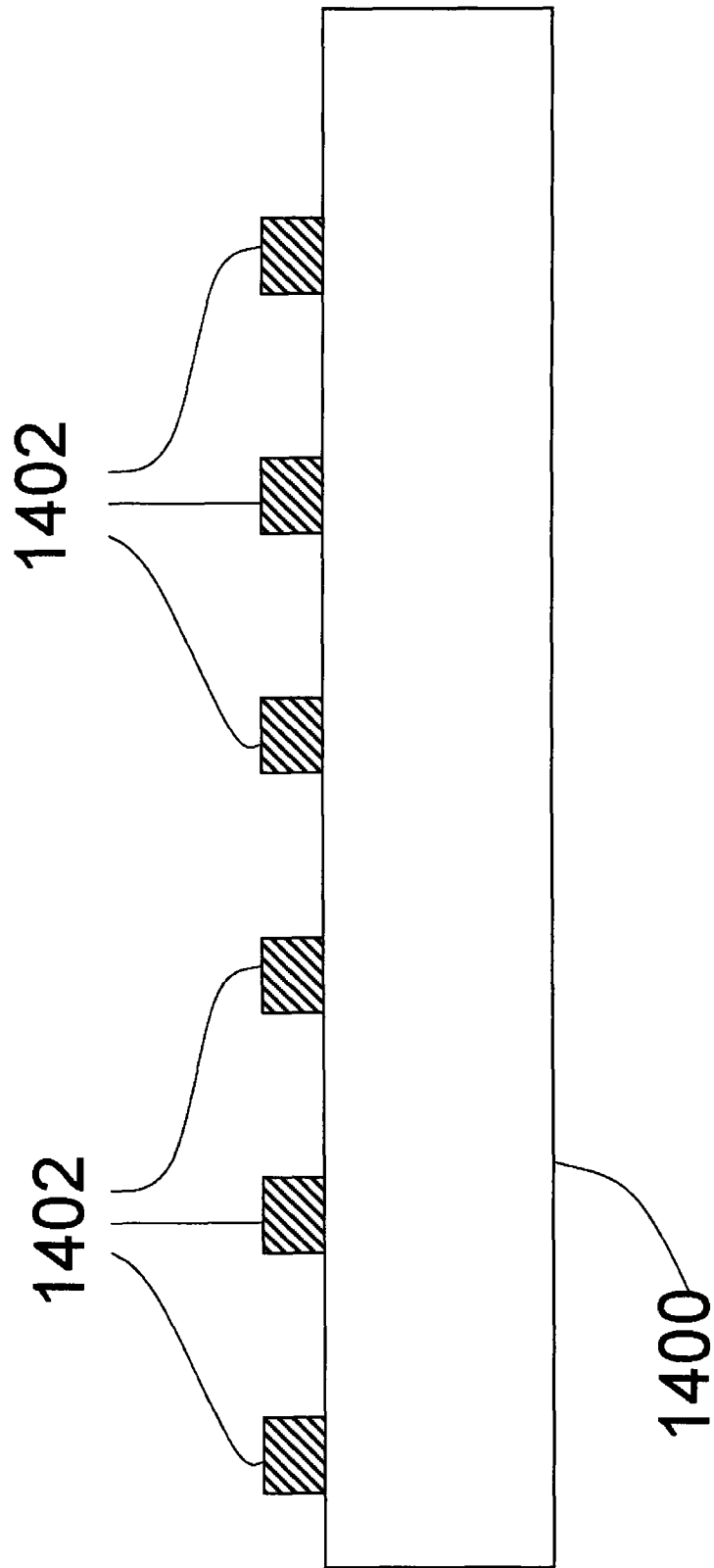


图 14A

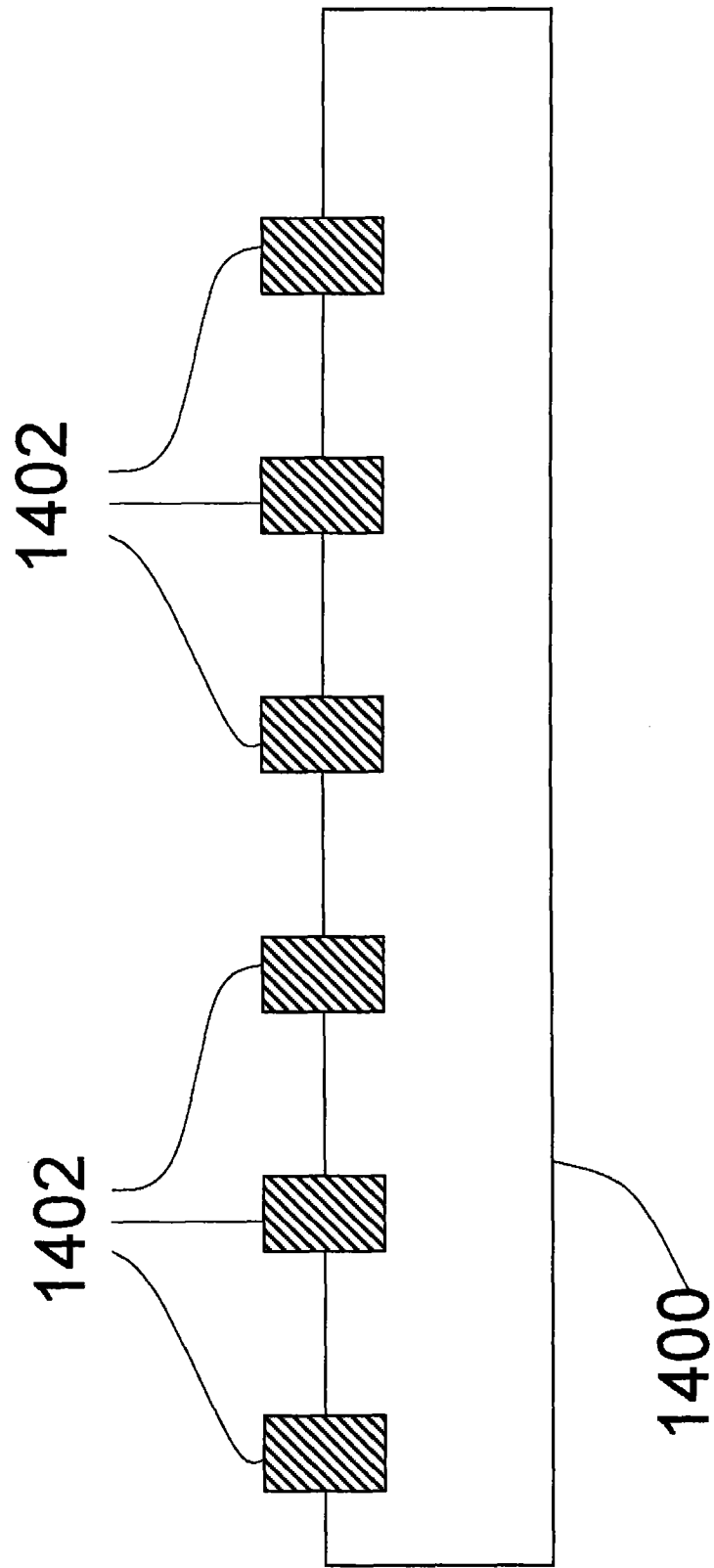


图 14B

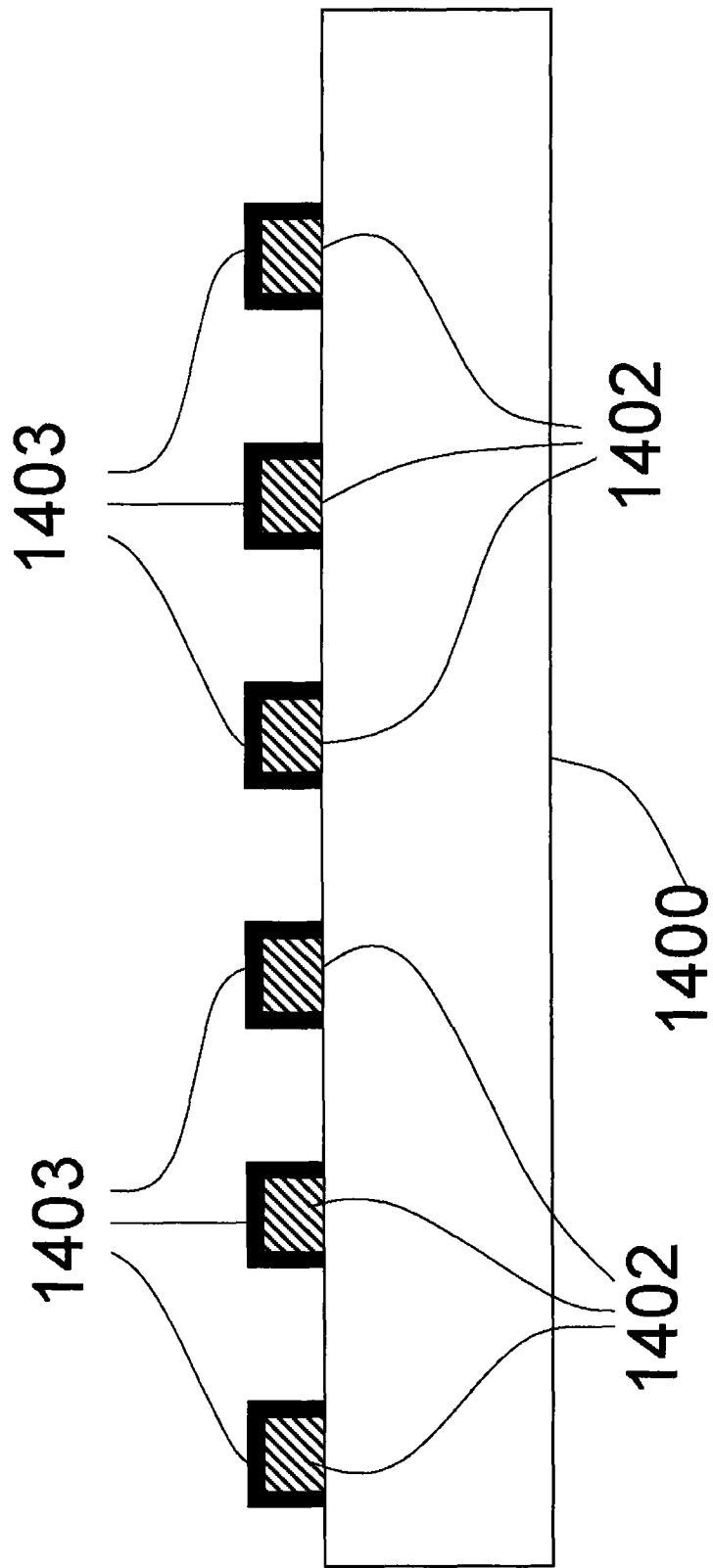


图 14C

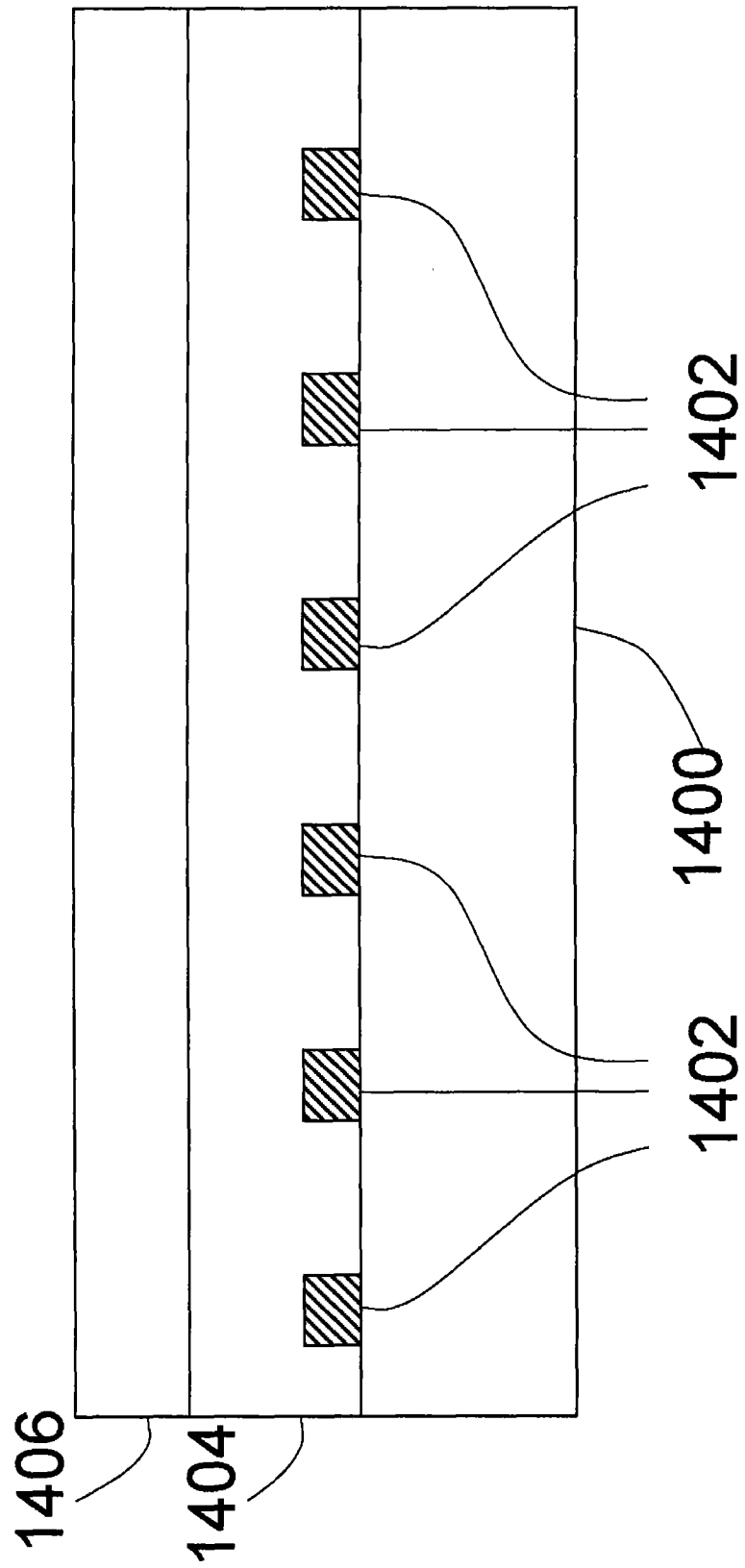


图 15

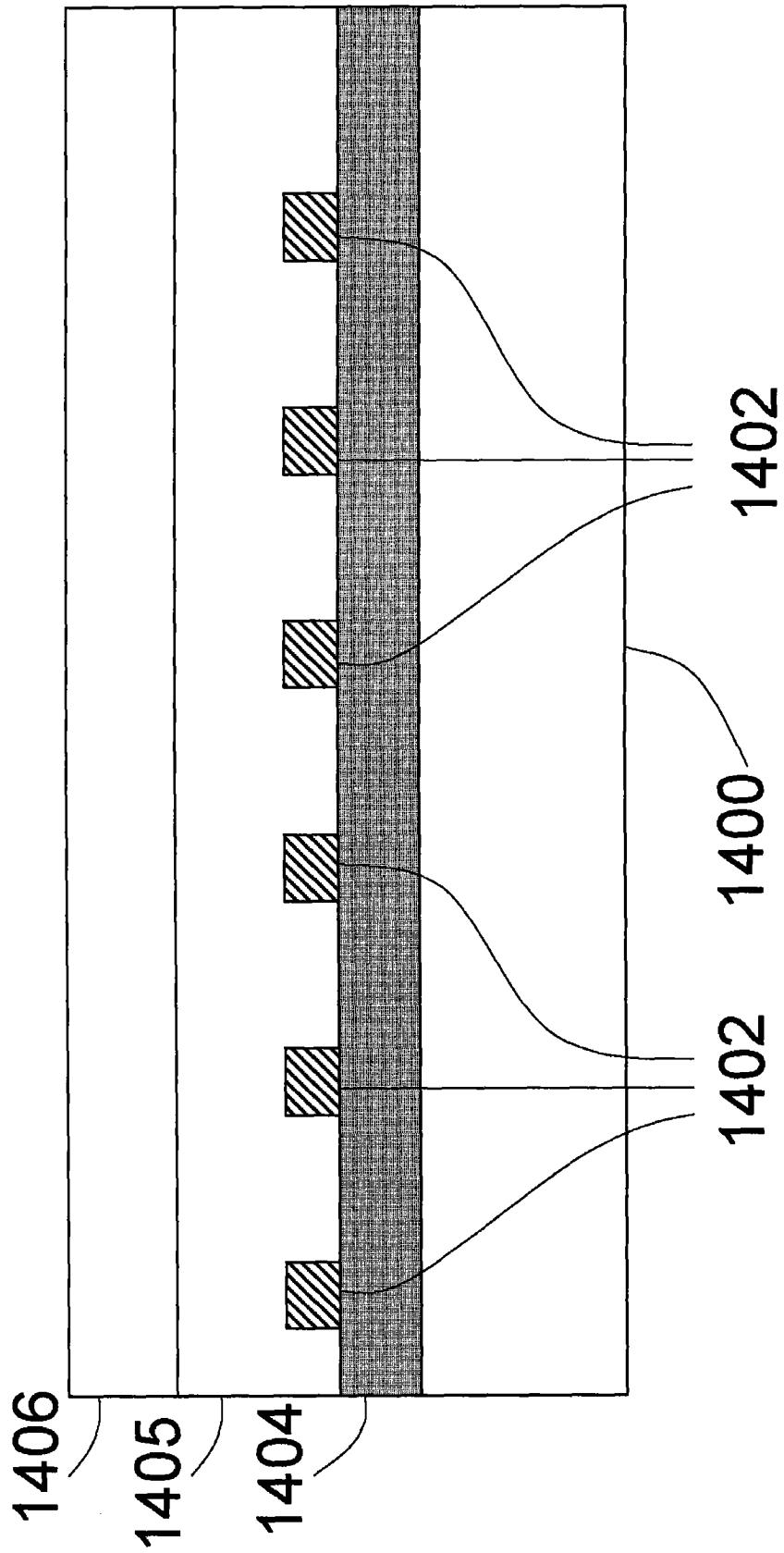


图 16



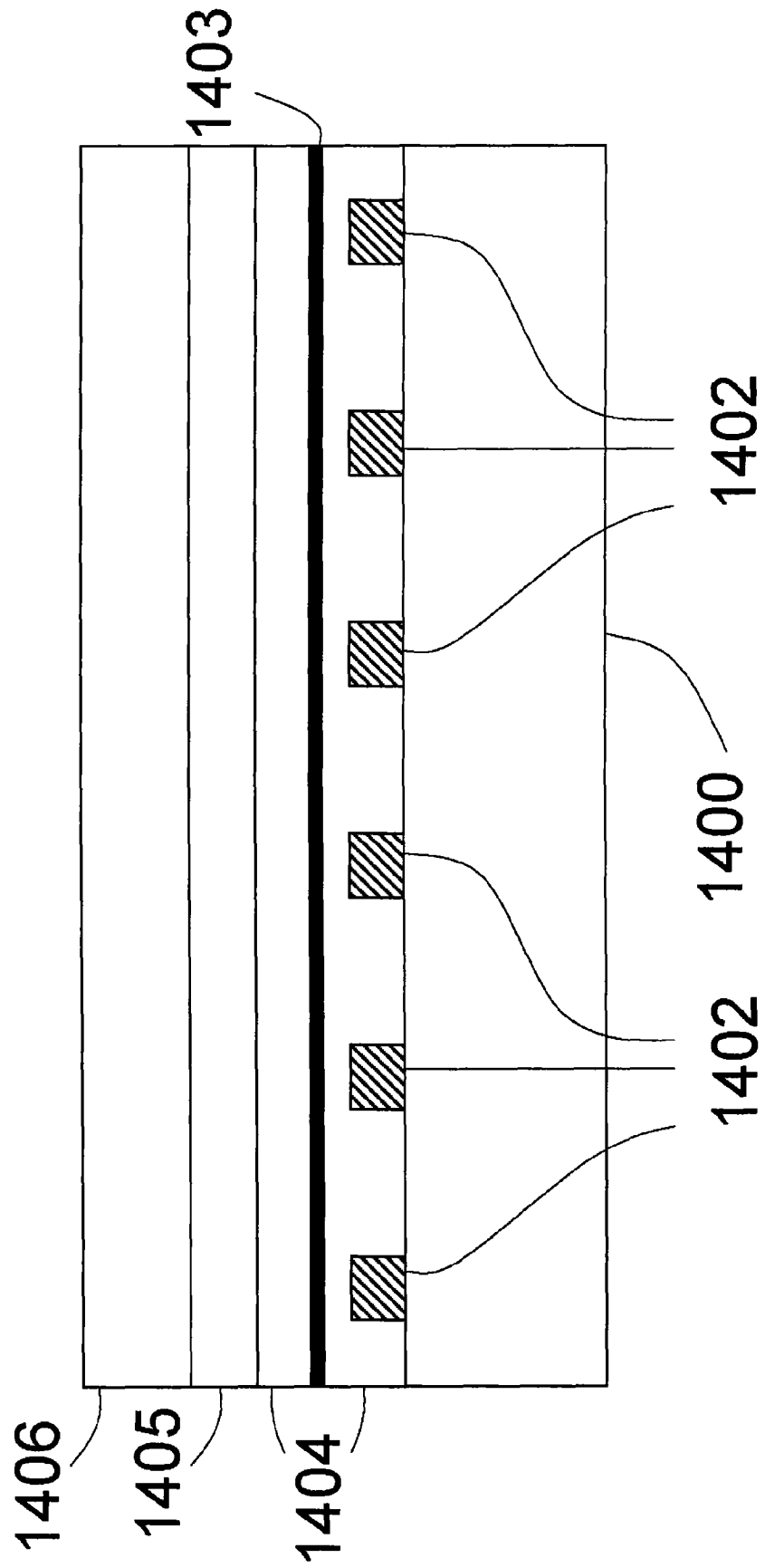


图 17

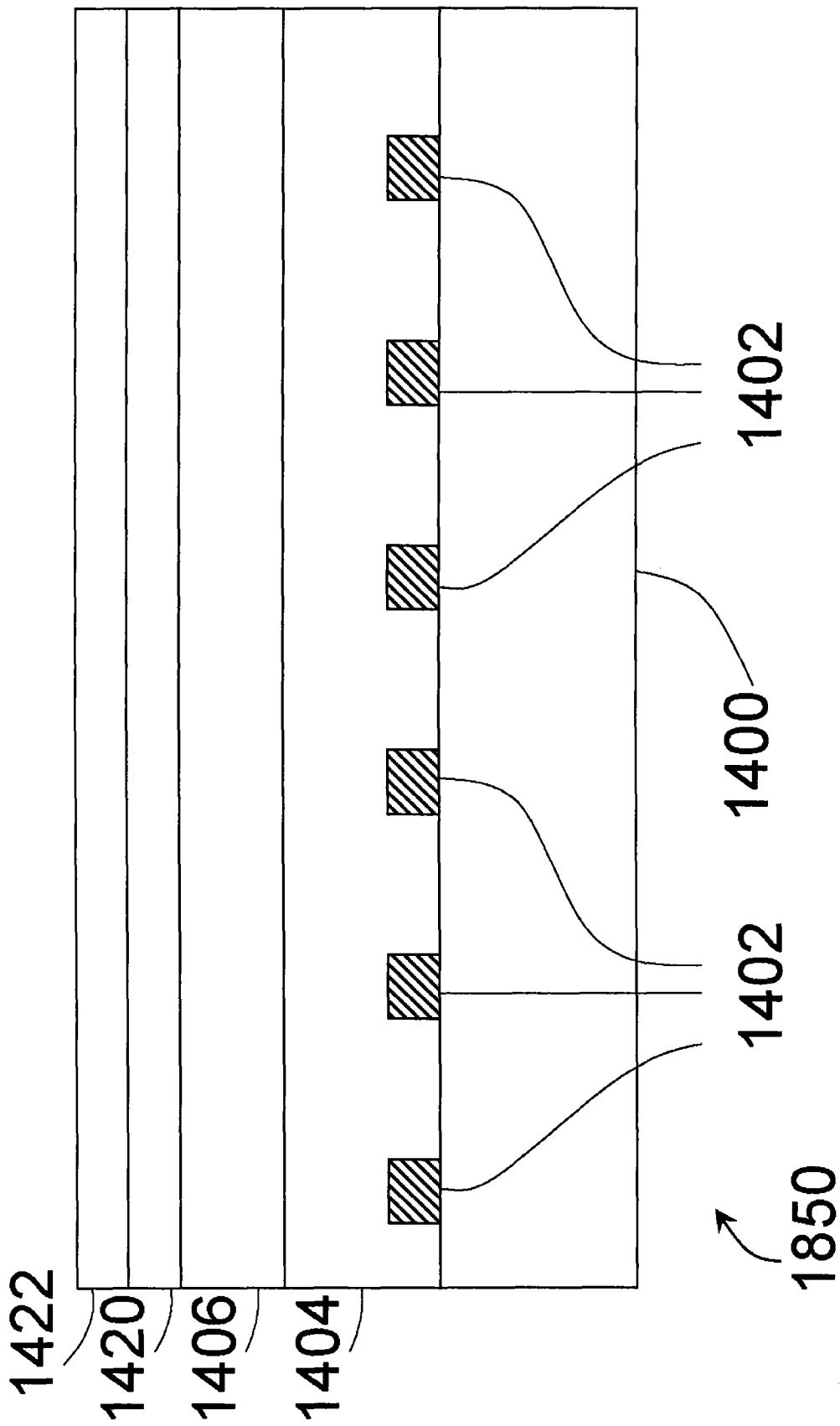


图 18

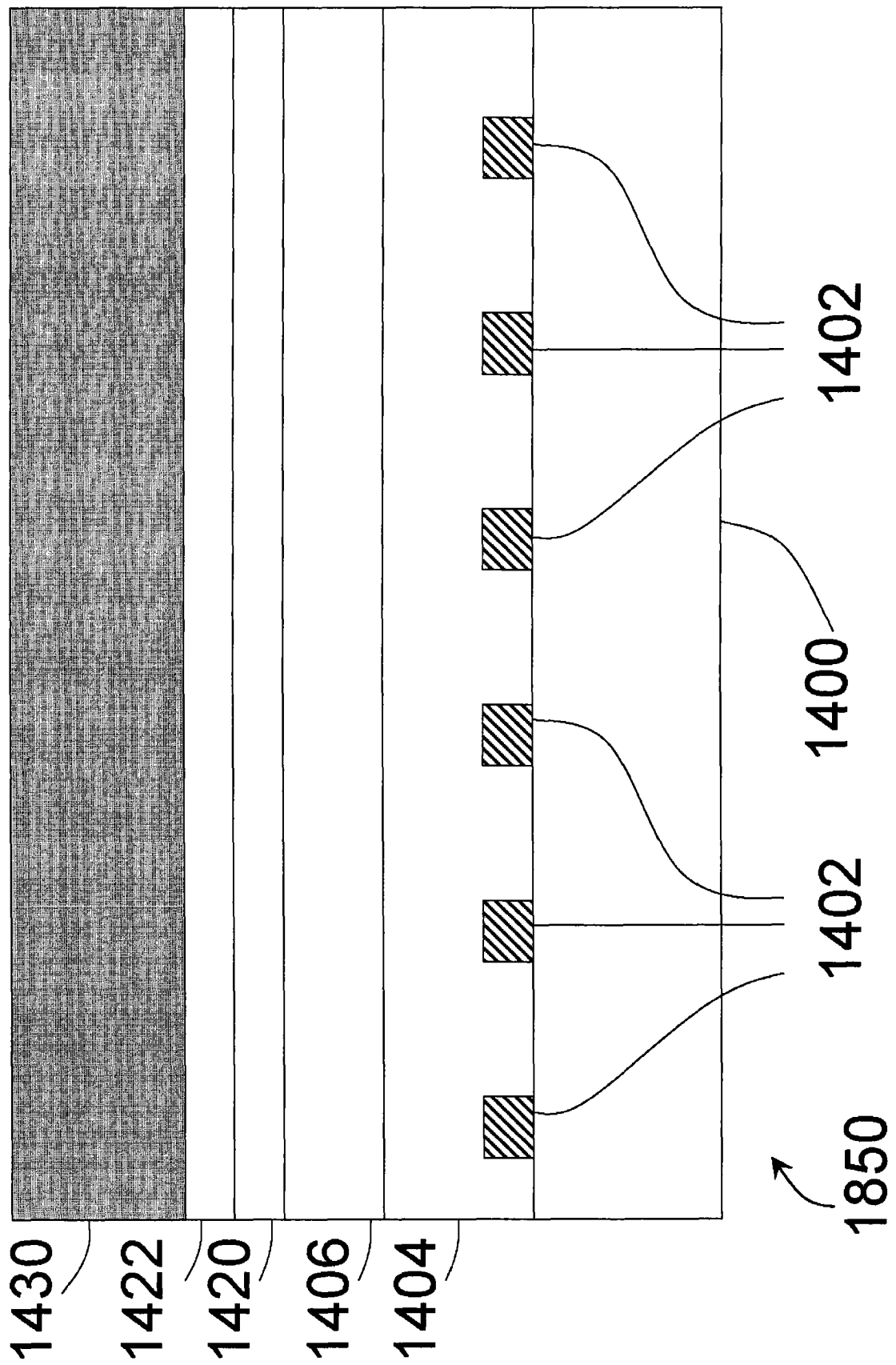


图 19

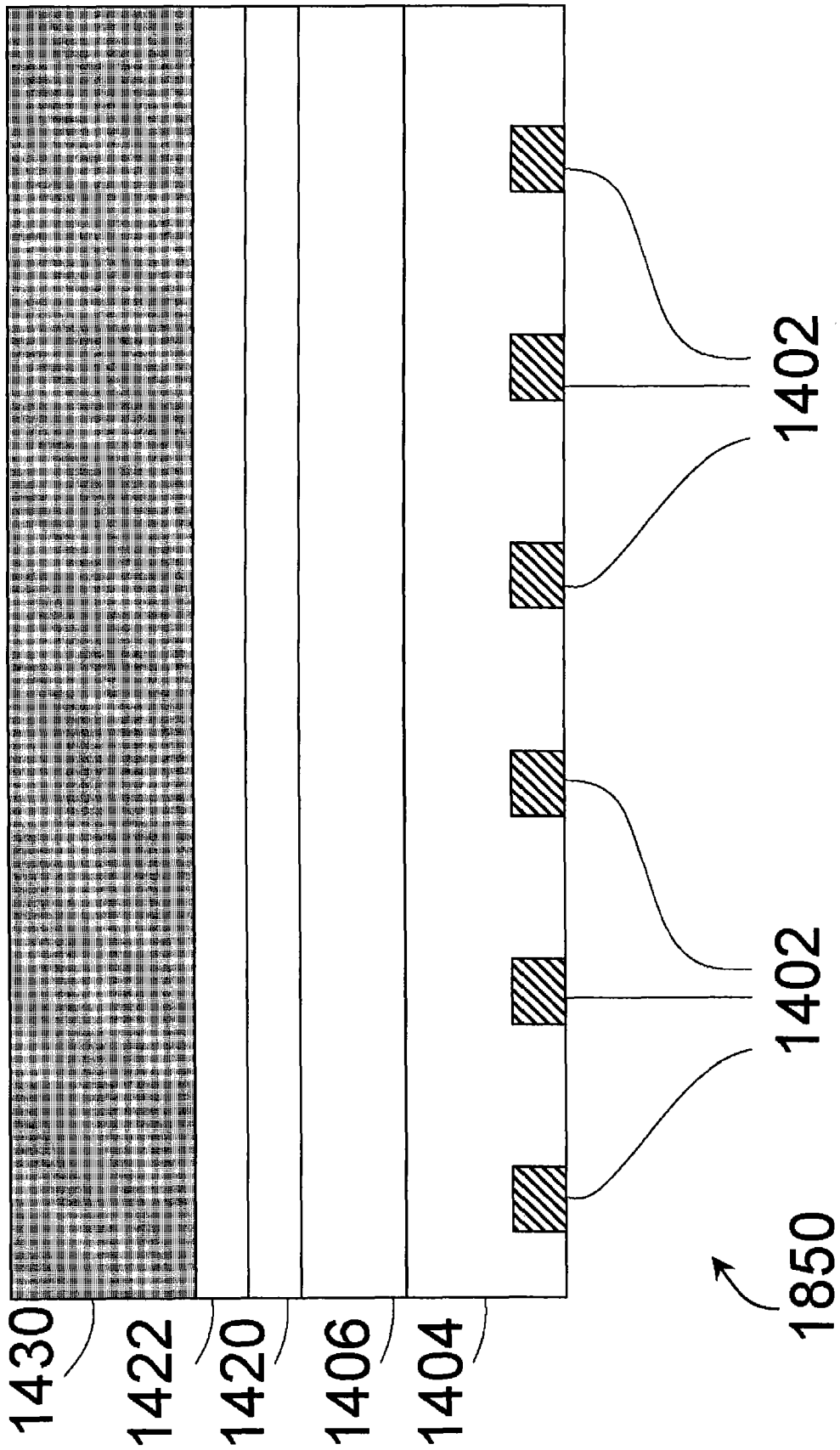


图 20

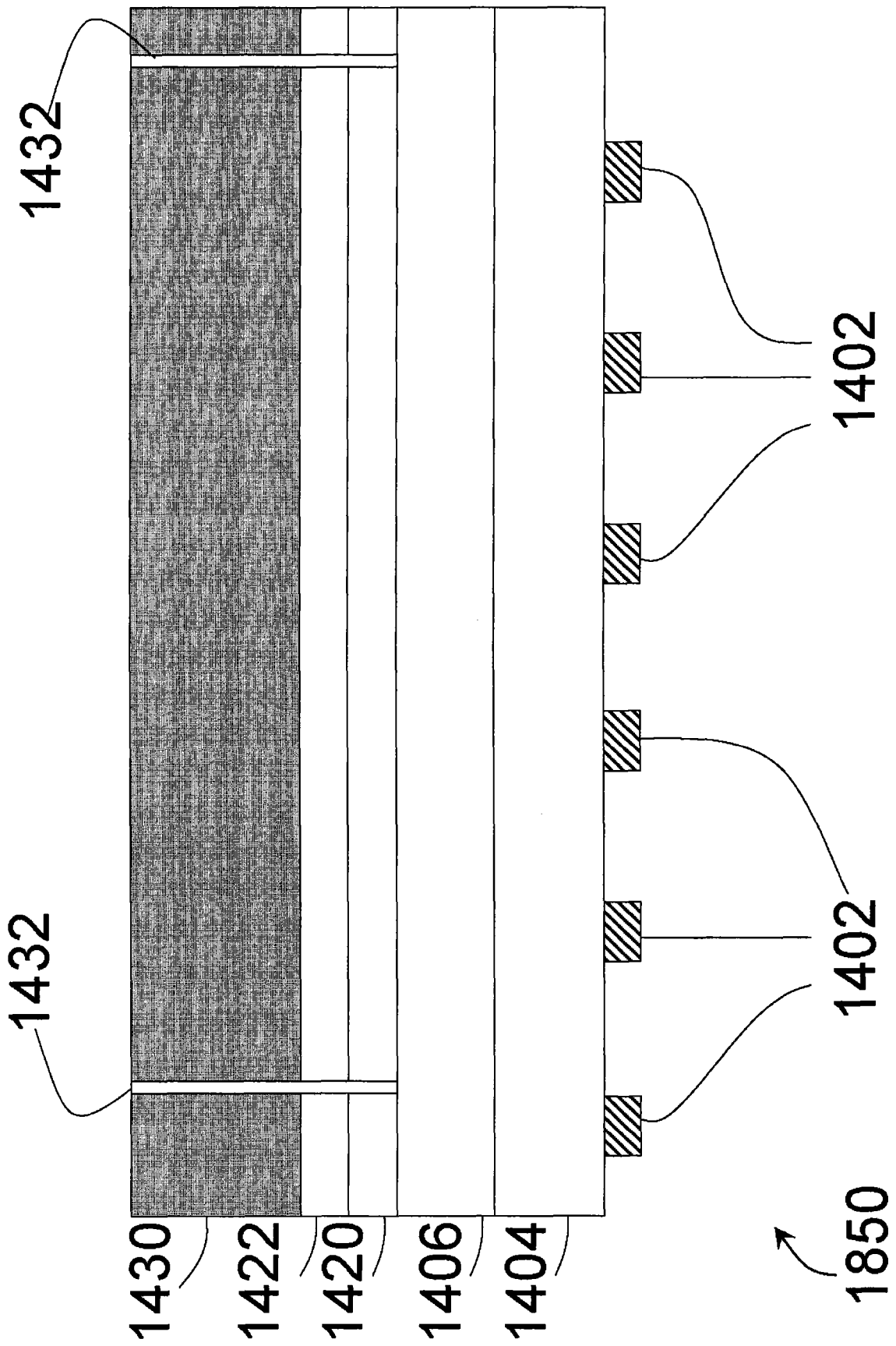


图 21

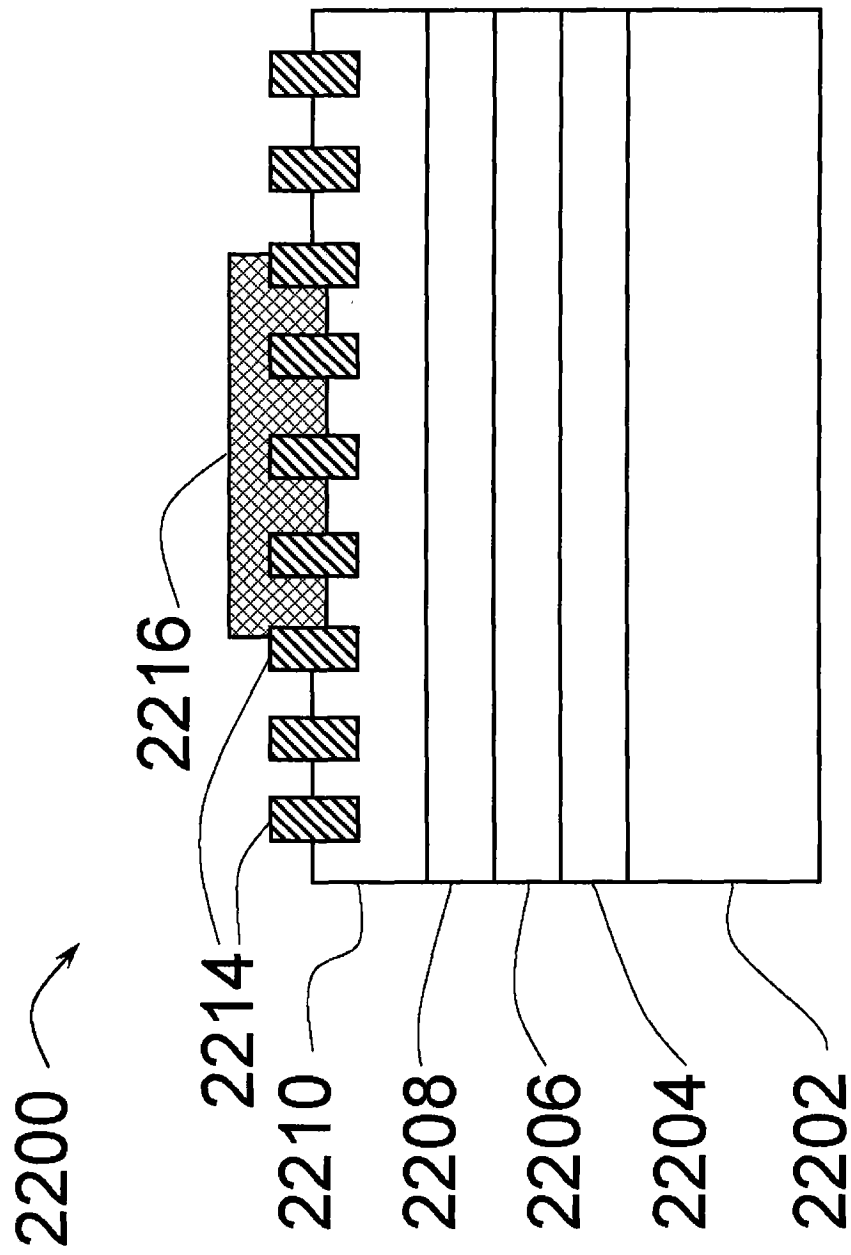


图 22A

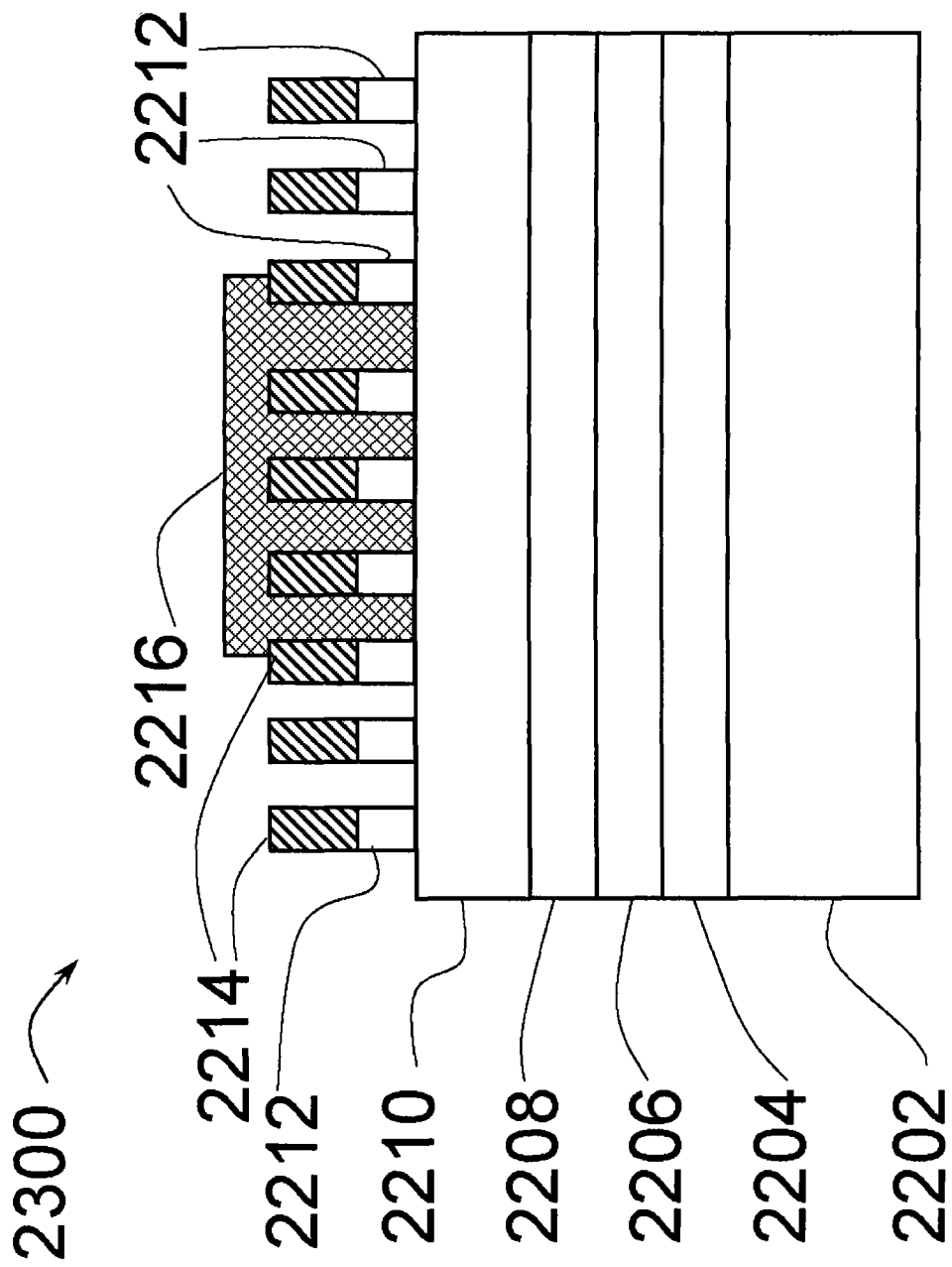


图 22B

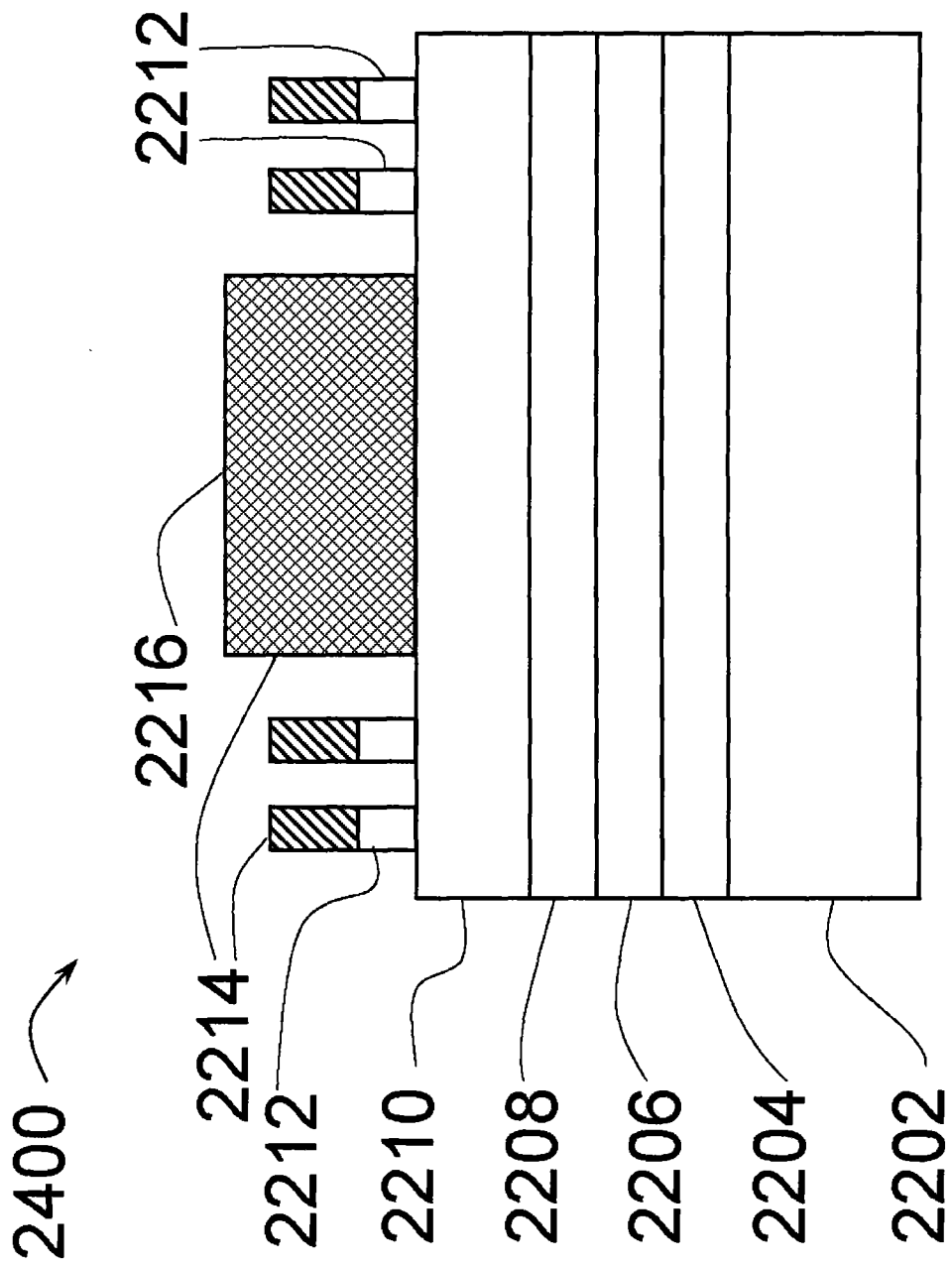


图 22C



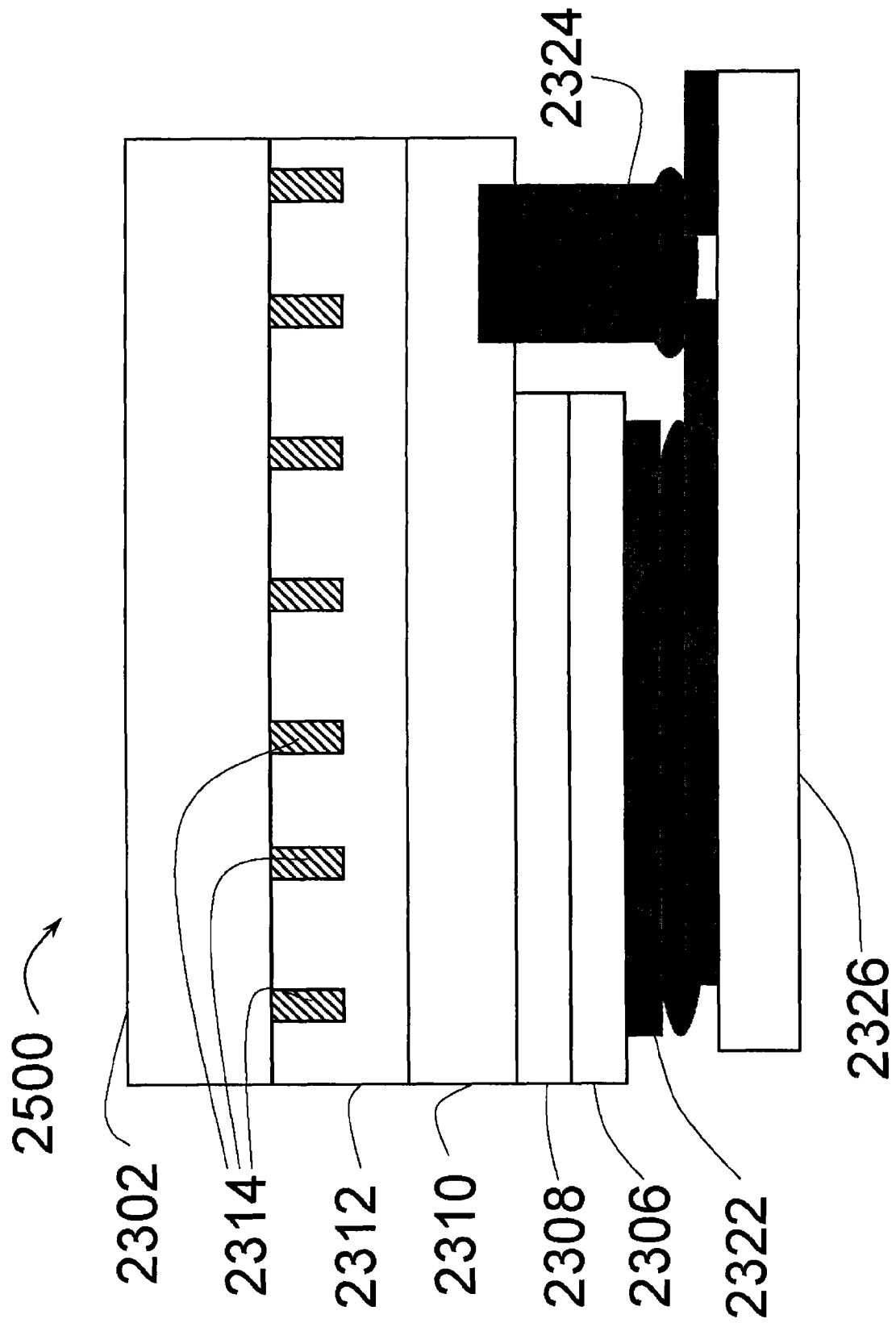


图 23