



(12) 发明专利

(10) 授权公告号 CN 102637788 B

(45) 授权公告日 2014.06.25

(21) 申请号 201210125799.8

(22) 申请日 2008.06.02

(62) 分案原申请数据

20088000044.7 2008.06.02

(73) 专利权人 香港应用科技研究院有限公司

地址 中国香港新界沙田香港科学园科技大道西二号生物资讯中心三楼

(72) 发明人 袁述

(74) 专利代理机构 深圳新创友知识产权代理有

限公司 44223

代理人 江耀纯

(51) Int. Cl.

H01L 33/00 (2010.01)

H01L 33/12 (2010.01)

(56) 对比文件

CN 1283306 A, 2001.02.07, 说明书第五实施形态, 图 13A-13E.

TW 200822197 A, 2008.05.16, 说明书第 7 页第 3 段 - 第 12 页第 1 段, 图 2 - 图 12.

CN 1839470 A, 2006.09.27, 说明书第 6 页第 6 段 - 第 9 页第 2 段, 图 1-8, 表 2.

US 20060278880 A1, 2006.12.14, 全文.

CN 1518059 A, 2004.08.04, 全文.

审查员 仵乐娟

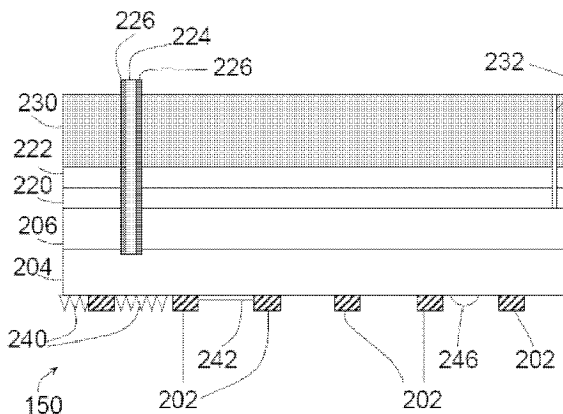
权利要求书 2 页 说明书 6 页 附图 6 页

(54) 发明名称

半导体晶圆和半导体器件

(57) 摘要

本发明提供了半导体晶圆和半导体器件。本发明实施例特别适合于基板替换应用, 例如在制作垂直结构 LED 情况下。一种半导体晶圆, 包括: 一个或多个缓冲层, 多个抛光触止块形成在一个或多个缓冲层里; 在一个或多个缓冲层上的一个或多个外延层; 被增加到一个或多个外延层的一个或多个金属层; 以及被粘贴或键合或电镀到一个或多个金属层的第二基板。一种半导体器件, 包括: 在晶圆上的多个抛光触止块; 一个或多个缓冲层, 形成在所述多个抛光触止块上; 在一个或多个缓冲层上的一个或多个外延层; 在一个或多个外延层上的一个或多个金属层; 和被粘贴或键合或电镀到一个或多个金属层的第二基板。



1. 一种半导体晶圆,包括:
一个或多个缓冲层;
多个抛光触止块形成在一个或多个缓冲层里;所述多个抛光触止块用于停止机械去削工艺;所述多个抛光触止块掩埋在所述一个或多个缓冲层中;
在一个或多个缓冲层上的一个或多个外延层;
被增加到一个或多个外延层的一个或多个金属层;以及
被粘贴或键合或电镀到一个或多个金属层的第二基板。
2. 根据权利要求1所述的半导体晶圆,其中每个抛光触止块包括被加到抛光触止块上的一个抛光触止层,且其中每个抛光触止块是由第一材料制成,而每个抛光触止层是由第二材料制成。
3. 根据权利要求2所述的半导体晶圆,所述抛光触止层完全包围和覆盖抛光触止块。
4. 根据权利要求1所述的半导体晶圆,包括在一个或多个缓冲层上或其之间生长的一个蚀刻触止层。
5. 根据权利要求4所述的半导体晶圆,所述蚀刻触止层是一个或多个AlInGaN层。
6. 根据权利要求4所述的半导体晶圆,所述蚀刻触止层是一个高掺杂层。
7. 根据权利要求1所述的半导体晶圆,包括被加在一个或多个缓冲层上的转光材料。
8. 根据权利要求1所述的半导体晶圆,其中抛光触止块的材料为金刚石、类金刚石碳、氮化钛(TiNx)或钛钨(TiWx)合金。
9. 根据权利要求1所述的半导体晶圆,包括一个或多个在第二基板上形成的图案化电镀,以便于半导体晶圆的分割。
10. 根据权利要求1所述的半导体晶圆,还包括一个导电层,位于缓冲层和外延层之间。
11. 根据权利要求10所述的半导体晶圆,还包括一个内置触点,其从半导体晶圆的表面延伸至导电层,且内置触点被绝缘材料围住,以减少与半导体晶圆内其它层的接触。
12. 一种半导体器件,包括:
在晶圆上的多个抛光触止块;
一个或多个缓冲层,形成在所述多个抛光触止块上;所述多个抛光触止块用于停止机械去削工艺;所述多个抛光触止块掩埋在所述一个或多个缓冲层中;
在一个或多个缓冲层上的一个或多个外延层;
在一个或多个外延层上的一个或多个金属层;和
被粘贴或键合或电镀到一个或多个金属层的第二基板。
13. 根据权利要求12所述的半导体器件,其中使用一种积层或层压工艺,一个或多个金属层被增加到一个或多个外延层。
14. 根据权利要求12所述的半导体器件,其中第二基板是铜基板。
15. 根据权利要求12所述的半导体器件,其中每个抛光触止块包括被加到抛光触止块上的一个抛光触止层,且其中每个抛光触止块是由第一材料制成,而每个抛光触止层是由第二材料制成。
16. 根据权利要求15所述的半导体器件,所述抛光触止层完全包围和覆盖抛光触止块。

17. 根据权利要求 12 所述的半导体器件,包括在一个或多个外延层上或其之间生长的一个蚀刻触止层。

18. 根据权利要求 17 所述的半导体器件,所述蚀刻触止层是一个或多个 AlInGaN 层。

19. 根据权利要求 17 所述的半导体器件,所述蚀刻触止层是一个高掺杂层。

半导体晶圆和半导体器件

[0001] 本申请是申请号为 20088000044.7, 发明名称为“半导体晶圆和半导体器件及其制作方法”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及半导体晶圆 (semiconductor wafer) 和半导体器件。

[0003] 发明背景

[0004] 半导体晶圆的制作, 继而其用于制作半导体器件, 是一种发展甚好的技术。存在许多不同的半导体晶圆制作方法, 也有许多从预制晶圆来制作半导体器件的已知方法。半导体器件普遍存在于现代技术设备和装置中。

[0005] 尽管许多晶圆和半导体器件是构造在硅基板或类似材料上, 但是某些器件更适合构造在蓝宝石基板上, 如垂直结构的氮化镓 (GaN) 基发光二极管 (LED)。在一些已知工艺里, 使用一个激光剥离 (LLO) 工艺, 去除蓝宝石基板, 露出各种 n- 型层以便随后的蚀刻和去除工作, 以至一个 n- 型电极可以接触到低渗杂的 n- 型 GaN 层。

[0006] 但是, 制造垂直结构的氮化镓基 LED 以及其它半导体器件的已知方法有一些局限, 因为对制造可靠且有效的 LED 而言, LLO 工艺可能是不合适的、有破坏性的和效率低的。再者, 由于不同的 GaN 层选择性蚀刻, 要区分不同层之间的界面或许很困难。所以, 需要有一种制作半导体器件的方法, 其能够解决已知方法的缺陷。

[0007] 发明概述

[0008] 依照本发明一个实施例, 披露了一种半导体晶圆。半导体晶圆包括一个基板; 多个在基板上形成的抛光触止块 (polishing stop); 以及一个或多个在基板上生长的缓冲层。

[0009] 依照本发明一个实施例, 披露了一种半导体器件。半导体器件包括一个基板; 多个在基板上形成的抛光触止块; 在基板上生长的一个或多个缓冲层; 在一个或多个缓冲层上生长的一个或多个外延层 (epitaxial layer); 以及被增加到一个或多个外延层的一个或多个金属层。

[0010] 依照本发明一个实施例, 披露了一种制作半导体晶圆的方法。本方法包括提供一个基板; 在基板上形成多个抛光触止块; 在基板上生长一个或多个缓冲层; 以及在一个或多个缓冲层上生长一个或多个外延层。

[0011] 依照本发明一个实施例, 披露了一种制作半导体器件的方法。本方法包括提供一个基板; 在基板上形成多个抛光触止块; 在基板上生长一个或多个缓冲层; 在一个或多个缓冲层上生长一个或多个外延层; 在一个或多个外延层上增加一个或多个金属层; 粘贴第二基板到一个或多个金属层; 以及使用一种机械去削工艺 (mechanical thinning process) 去除基板。

[0012] 对本领域技术人员而言, 从以下的详细描述, 本发明的其它实施例将变得越发明显, 其中本发明实施例通过实例方式进行描述。本领域技术人员将会认识到, 本发明能够有其它不同的实施例, 其细节可以在不同方面进行修改, 而不会脱离本发明的精神和范围。

附图说明

[0013] 图 1 显示依照本发明一个实施例形成抛光触止块的一个半导体晶圆的截面图；

[0014] 图 2 显示依照本发明一个实施例生长外延层的一个半导体晶圆的截面图；

[0015] 图 3 显示依照本发明一个实施例在外延层上形成抛光触止块的一个半导体晶圆的截面图；

[0016] 图 4 显示依照本发明一个实施例在外延层上形成光子结构 (photonic structure) 的一个半导体晶圆的截面图；

[0017] 图 5 显示依照本发明一个实施例形成抛光触止块和蚀刻触止层的一个半导体晶圆的截面图；

[0018] 图 6 显示依照本发明一个实施例形成抛光触止层的一个半导体晶圆的截面图；

[0019] 图 7 显示依照本发明一个实施例形成抛光触止块的一个半导体器件的截面图；

[0020] 图 8 显示依照本发明一个实施例形成一个内置触点 (built-in contact) 的一个半导体器件的截面图；

[0021] 图 9 显示依照本发明一个实施例形成一个新基板的一个半导体器件的截面图；

[0022] 图 10 显示依照本发明一个实施例图案化电镀的一个半导体器件的截面图；

[0023] 图 11 显示依照本发明一个实施例显示基板去除的一个半导体器件的截面图；

[0024] 图 12 是依照本发明一个实施例显示示例半导体器件表面变化的一个半导体器件的截面图；

[0025] 图 13 显示依照本发明一个实施例形成内置触点的一个半导体器件的截面图。

[0026] 发明详述

[0027] 在以下描述里,参照附图,描述了本发明的具体实施例。可以理解,在不脱离本发明的范围,可以有结构和其它变化的其它实施例。再者,不同实施例及其方面可以被合适地相互结合。所以,附图和详细描述仅是用作描述性的而不是限制性的。

[0028] 通常,本发明涉及半导体晶圆、半导体器件以及半导体晶圆和器件的制作方法。本发明实施例适合用于基板替换,其中基板的去除是通过半导体晶圆或半导体器件的构成来提供方便的,并且采用了一个新的第二基板。图 1 到图 6 涉及半导体晶圆的制作方法。图 7 到图 13 涉及使用图 1 到 6 图所述的半导体晶圆制作半导体器件的方法。参照附图描述的这些实施例可以用于制作 LED 特别是垂直结构的氮化镓基 LED。但是,可以理解,所述方法并不限于任何具体的工程应用,依照本发明实施例可以制作任何合适的半导体器件,例如 LED、激光二极管、晶体管和其它功率器件、无支撑 (free-standing) 半导体材料的生长和制作以及其它合适应用。

[0029] 在制作氮化镓基 LED 时,特别地,去除蓝宝石基板并替换为一个新基板有许多优点,如改善热管理、通过在最近露出表面上进行表面纹理织构 (surface texturing) 而增强出光、以及电流分布更均匀。依照本发明实施例,去除蓝宝石基板通常是通过一种机械去削工艺完成的,如磨削 (grinding)、研磨 (lapping)、抛光 (polishing)、和/或化学机械抛光,并使用抛光触止块来制作半导体器件如制作 LED。依照本发明实施例,在晶圆生长或晶圆制作阶段提供抛光触止块,从而提供更高产量,并改善器件性能。

[0030] 在整个描述过程中,使用前缀“u-”代表不掺杂或低掺杂,“p-”代表 p- 型或正极,而“n-”代表 n- 型或负极。

[0031] 现参照附图,图 1 是依照本发明一个实施例的一个半导体晶圆的截面图,显示了抛光触止块的形成。有一个基板 100,抛光触止块 102 形成在该基板上。可以使用任何合适的方法来形成抛光触止块。依照一种示例方法,被称为一种减法方法,一层硬质材料被加到基板 100 的整个表面上。然后,在这层硬质材料上形成一个图案,去除硬质材料层不需要的部分,仅保留需要的抛光触止块 102。依照另一种示例方法,被称为加法方法,在基板 100 的表面上建立一个掩模图案 (mask pattern),有孔或槽、或其它需要形状的开口。然后,沉积一硬质材料在基板 100 上以及进入开口内。接着,去除掩模图案,留下抛光触止块 102 在基板 100 的表面。掩模的施加和去除可以使用已知的光刻胶工艺 (photoresist process) 来完成。依照一个实施例,抛光触止块 102 是在基板 100 上形成。但是,依照另一个实施例,抛光触止块 102 是在半导体晶圆的其它层上形成。

[0032] 一个示例基板是由蓝宝石制成,其非常适合垂直结构 LED 的制作过程。本发明实施例可能特别适合用于 III-V 族非硅材料。对 III-V 族材料,在随后形成在半导体晶圆上的器件的构造和运行中,外延生长过程可能很重要。但是,本发明的应用应该不限于这些材料,依照本发明实施例也可以使用任何其它合适的基板材料。

[0033] 硬质材料是任何合适的硬质材料。在一个示例实施例里,硬质材料是用于晶圆或器件的所有材料中最硬的材料。硬质材料可以是金刚石膜或类金刚石碳 (DLC) 膜。其它合适的用作抛光触止块 102 的硬质材料可以是,诸如金刚石、类金刚石碳、氮化钛 (TiN_x)、钛钨 (TiW_x) 合金、或其它合适的材料。抛光触止块的尺寸可以是特别应用制作的晶圆所要求的任何宽度和高度。再者,“硬质”被用来描述抛光触止块 102 不是旨在受限于提供的示例或任何具体级别的硬度或软度,而可以是适合用来实现所述方法的任何类型材料。

[0034] 图 2 是依照本发明一个实施例的一个半导体晶圆的截面图,显示了外延层的生长。在硬质材料被加到基板 100 上以形成抛光触止块 102 之后,在基板 100 上生长一个或多个外延层 104、106。在如图 2 所示的所述实施例里,在基板 100 上生长一个缓冲层 104,如 u-GaN 层。尽管显示只有一层外延层 106 是在缓冲层 104 上形成,此层表示依照特定应用要求的能够生长的任何层数的任何合适半导体材料。类似地,尽管仅显示一个缓冲层 104,此层表示一个或多个缓冲层,如果有需要。外延生长的一个示例构造,其可以用来生产 GaN LED,包括在蓝宝石基板 100 上生长一个未掺杂或低掺杂的 u-GaN 层,然后是一个或多个高掺杂的 n- 型 GaN (n-GaN) 层、一个具有多量子阱 (MQW) 结构的有源层、以及一个 p- 型 GaN (p-GaN) 层。但是,所述示例并不是意在限制本发明到任何特定数目或次序的不同外延层。

[0035] 通常,可能很难知道 u-GaN 层的厚度,也很难确切知道 u-GaN 和其他层如 n- 型层之间的界面或结处 (junction)。所以,能够实现已知制作方法被证明是困难的、高成本的、和 / 或不可能的。因此,根据在哪里应该停止去除蓝宝石基板,本发明实施例也提供确定地去除 u-GaN 层。

[0036] 图 3 是依照本发明一个实施例的一个半导体晶圆的截面图,显示了在外延层上形成抛光触止块。在如图 3 所示的所述实施例里,一个或多个第一缓冲层 104 在基板 100 上生长。然后,抛光触止块 102 是在其中一个第一缓冲层 104 上形成。另一个或其他更多缓冲层 105 可以在抛光触止块 102 上生长。然后,一个或多个外延层 106 可以在第二缓冲层 105 上生长。类似图 2 的描述,虽然显示仅有一层 106 是在第二缓冲层 105 上生长,此层表

示可以依照特定应用要求的能够生长的任何合适半导体材料的任何层数。

[0037] 图 4 是依照本发明一个实施例的一个半导体晶圆的截面图,显示了在外延层上形成光子结构。在图 4 内所述的示范实施例类似于图 2,有一个基板 100,抛光触止块 102 被加到基板 100 上,在基板上形成一个或多个缓冲层 104,以及在一个或多个缓冲层 104 上生长一个或多个外延层 106。转光 (light altering) 材料 108 被加在一个或多个缓冲层 104 上。在制作 LED 的例子中,转光材料 108 可以是用于增强出光的光散射元件 (light scattering element)。例如,通过蚀刻或通过增加材料到层里,如硅氧化物 (SiO_2) 或氮化硅 (SiN),可以增加光子晶体结构。光子结构也可以是一个真空,或在材料层内预定位置上没有材料。

[0038] 图 5 是依照本发明一个实施例的一个半导体晶圆的截面图,显示了抛光触止块和蚀刻触止层的形成。在图 5 内所述的示范实施例类似于图 2,有一个基板 100,抛光触止块 102 被加到基板 100 上,在基板上形成一个或多个缓冲层 104、105,以及在一个或多个缓冲层 104、105 上生长一个或多个外延层 106。另外,在一个或多个缓冲层 104 上或其之间生长一个蚀刻触止层 103。在随后的蚀刻处理期间,蚀刻触止层 103 是有优势的。在一个实施例里,会使用高度选择性的湿式蚀刻,但是,也可以使用本领域技术人员所熟知的干式蚀刻和其它合适的蚀刻方法。一个或多个触止层可以被用于去除基板 100 之后的随后过程。例如,蚀刻过程可以在触止层 103 上结束。触止层也可以充当一个降低泄漏层 (leakage reduction layer),如在以后的使用晶圆制造晶体管等。

[0039] 依照一个实施例,触止层 103 是一个 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ 的属性。在一个实施例里, x 小于或等于大约 0.35。在另一个实施例里, x 小于或等于大约 0.4。在另一个实施例里, x 可能是在 0.2 到 0.5 的范围内。在一个实施例里, y 小于或等于大约 0.1。在另一个实施例里, y 小于或等于大约 0.2,或在 0.05 到 0.25 的范围内。但是,可以使用 x 和 y 的其它合适值和其他范围。依照另一个实施例,触止层 103 可以是一个高掺杂的 AlGa_xN 层,具有 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 层的属性。 AlGa_xN 层的一个可能厚度可以小于 $0.2\ \mu\text{m}$ 。在另一个实施例里, AlGa_xN 层的厚度可以等于大约 $0.2\ \mu\text{m}$ 。在一个实施例里,该层厚度应该足够薄,以至 n - 掺杂到 AlN 层内。如果一个较厚的 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 层被使用作为触止层,那么铝 (Al) 摩尔份数 (mole fraction) 应该大约小于 0.35,以便能够更容易将硅 (Si) 掺杂到 AlGa_xN 层内。

[0040] 触止层提供高蚀刻选择性。一种高蚀刻选择性的方法是使用光电化学 (PEC) 湿式蚀刻,其是一个高带隙依赖 (bandgap-dependent) 蚀刻选择性。PEC 蚀刻是光生成电子空穴对 (photo-generation of electron hole pair),其增强电化学反应里的氧化还原反应。依照本发明一个实施例,触止层 103 也可以包括一个 $\text{AlN}/\text{Ga}_x\text{N}$ 超晶格 (super lattice) 结构。超晶格触止层包括一个 Ga_xN 层和一个 AlN 层,它们一起形成一个 $\text{AlN}/\text{Ga}_x\text{N}$ 超晶格 ($\sim 30^\circ/30^\circ$) 触止层。超晶格结构是由相邻层的 AlN 和 Ga_xN 形成。超晶格结构可以包括任何期望数目的 AlN 和 Ga_xN 对。

[0041] 图 6 是依照本发明一个实施例的一个半导体晶圆的截面图,显示了抛光触止层的形成。在如图 6 内所述的示范实施例类似于图 2,有一个基板 100、加到基板 100 上的抛光触止块 102、一个或多个缓冲层 104、105、以及在一个或多个缓冲层 104、105 上生长的一个或多个外延层 106。另外,一个抛光触止层 110 被增加到每个抛光触止块 102 上。抛光触止层 110 可以降低抛光触止块 102 和缓冲层 104 之间的应力或晶格失配。抛光触止层 110 也可以被用于侧向外延的位错降低 (dislocation reduction)。

[0042] 依照一个实施例,每个抛光触止块 102 是由第一材料制成,每个抛光触止层是由第二材料制成,这两种材料之间的差别提供了一些优点。依照另一个实施例,抛光触止层可以完全包围和覆盖抛光触止块,使得抛光触止块的任何部分都不会接触到抛光触止块 102 附近的围绕层。

[0043] 现参照图 7 到图 13,图 1 到图 6 描述的半导体晶圆可以用于制作半导体器件。

[0044] 图 7 是依照本发明一个实施例的一个半导体器件 150 的截面图,显示了抛光触止块的形成。图 7 描述的示范实施例包括图 2 所示的部件,还包括其它层。半导体器件 150 包括一个基板 200、加在基板 200 上的抛光触止块 202、在基板 200 上生长的一个或多个缓冲层 204、以及在一个或多个缓冲层 204 上生长的一个或多个外延层 206。另外,在制作半导体器件期间,使用积层或层压工艺 (build-up or lamination process) 或任何其它合适的制作工艺,可以增加其他层到一个或多个外延层 206 上。在所述实施例里,半导体器件 150 包括一个或多个金属层 220、222。这一个或多个金属层 220、222 可以是如特定应用要求的任何材料,如欧姆接触、镜面、电镀种籽层 (plating seed layer)、键合 (bonding) 材料、应力缓冲层、或其它金属层。

[0045] 图 8 是依照本发明一个实施例的一个半导体器件的截面图,显示了一个内置触点的形成。在图 8 内所述的示范实施例类似于图 7 内所示的,半导体器件 150 有一个基板 200、加到基板 200 上的抛光触止块 202、在基板上生长的一个或多个缓冲层 204、在一个或多个缓冲层 204 上生长的一个或多个导电层 205、在一个或多个导电层 205 上生长的一个或多个外延层 206、以及被增加到一个或多个外延层 206 的一个或多个金属层 220、222。半导体器件 150 还包括一个内置的 n- 型触点 224,其延伸到一个或多个导电层 205 内。n- 型触点 224 可以被绝缘材料 226 围住,以避免或减少与其它半导体器件层的接触。

[0046] 图 9 是依照本发明一个实施例的一个半导体器件的截面图,显示了一个新基板的形成。在图 9 内所述的示范实施例类似于图 7 内所示的,半导体器件 150 有一个基板 200、加到基板 200 上的抛光触止块 202、在基板 200 上生长的一个或多个缓冲层 204、在一个或多个缓冲层 204 上生长的一个或多个外延层 206、以及被增加到一个或多个外延层 206 的一个或多个金属层 220、222。半导体器件 150 还包括被键合或电镀到一个或多个金属层 220、222 的第二基板 230。例如,第二基板可以由任何合适材料制成,如铜或适合作为半导体器件基板的其它材料。

[0047] 图 10 是依照本发明一个实施例的一个半导体器件的截面图,显示了图案化电镀。在图 10 内所述的示范实施例类似于图 9 内所示的,半导体器件 150 有一个基板 200、加到基板 200 上的抛光触止块 202、在基板 200 上生长的一个或多个缓冲层 204、在一个或多个缓冲层 204 上生长的一个或多个外延层 206、被增加到一个或多个外延层 206 的一个或多个金属层 220、222、以及被键合或电镀到一个或多个金属层 220、222 的第二基板 230。在所述实施例里,当将半导体器件 150 分割成单个分离的部件时,第二基板 230 的图案化电镀 232 可以便于切割和应力释放。在一个实施例里,使用一种光刻胶工艺,形成图案化电镀 232。

[0048] 图 11 是依照本发明一个实施例的一个半导体器件的截面图,显示了基板的去除。在图 11 内所述的示范实施例类似于图 9 内所示的,半导体器件 150 有抛光触止块 202,其形成在一个或多个缓冲层 204 里,而一个或多个缓冲层 204 是被加在基板 200 上的 (图 9 和 10),半导体器件 150 还包括在一个或多个缓冲层 204 上生长的一个或多个外延层 206、

被增加到一个或多个外延层 206 的一个或多个金属层 220、222、以及被键合或电镀到一个或多个金属层 220、222 的第二基板 230。图 11 的所述实施例，与图 9 和 10 进行比较，基板 200 已经被去除。在一个实施例里，基板 200 是通过一种机械去削工艺被去除的，通常包括磨削 (grinding)、研磨 (lapping)、抛光 (polishing)、或表面化学机械抛光。也可以使用其它去除方法。但是，使用机械去削方法并结合本发明实施例可以提供速度和精度的增强优势。如图 11 内所述，机械去削工艺进行去除的动作是在抛光触止块 202 的末端处停止的。由于抛光触止块 202 是由一种硬质材料制成的，在抛光触止块位置上可以准确并精确地停止机械去削，留下剩余层。同样，通过使用抛光触止块 202，剩余表面的平度可以控制在所需限度内。

[0049] 图 12 是依照本发明一个实施例的一个半导体器件的截面图，显示了示例半导体器件表面的变化偏差。在图 12 内所述的示范实施例类似于图 11 内所示的，半导体器件 150 有抛光触止块 202 形成在一个或多个缓冲层 204 里，这一个或多个缓冲层 204 是被加在基板 200 上的 (图 9 和 10)，半导体器件 150 还包括在一个或多个缓冲层 204 上生长的一个或多个外延层 206、被增加到一个或多个外延层 206 上的一个或多个金属层 220、222、以及被键合或电镀到一个或多个金属层 220、222 上的第二基板 230。至少有一部分缓冲层 204 在蚀刻过程期间会被去除，从而暴露至少一部分抛光触止块 202。为了便于描述，多个不同的 LED 特征会在半导体器件 150 上显示。例如，图 12 所示的是表面纹理结构 240、钝化 (passivation) 242、和欧姆接触或焊盘 244、微透镜 246、以及透明接触层 248。另外，在第二基板 230 和一个或多个金属层 220、222 上形成图案化电镀 232，便于在将半导体器件 150 分割成单个分离的部件时进行切割和压力释放。

[0050] 图 13 是依照本发明一个实施例的一个半导体器件的截面图，显示了内置触点的形成。在图 13 内所述的示范实施例类似于图 12 内所示的，还包括一个内置 n- 型触点 224，其延伸到一个或多个导电层 205 内。n- 型触点 224 可以由绝缘材料 226 围住，以避免或减少与其它半导体层的接触。

[0051] 在一个传统的半导体晶圆内，当采用一种机械去削方法时，如果被抛光的平面很大，在层的厚度上的偏差可能太大而不能用于实际应用。依照本发明实施例，抛光触止块的引入能够有效地降低平面大小，从而降低在厚度上的偏差，即使平面的整体尺寸较大。所以，通过控制抛光触止块之间的大小和 / 或距离，可以获得一个可接受的偏差范围。尽管抛光触止块通常被显示为正方形或矩形，依照本发明实施例，抛光触止块可能是任何形状，如线、点、圆形、三角形、或矩形，并且可以位于平面上的任何合适位置。

[0052] 虽然参照所述实施例已经显示和描述了本发明，本领域技术人员将会理解，在不脱离本发明的精神和范围条件下，可以对其形式和细节作出改变。例如，虽然在图 7 到图 13 内所述的半导体器件包括抛光触止块 202 被加到蓝宝石基板 200 上，半导体器件的其它实施例可以包括抛光触止块 202 被加到半导体器件的外延层上，如以上图 3 的描述。所以，以上描述只是提供本发明的示范实施例，并且本发明的范围不限定在所提供的具体示例。

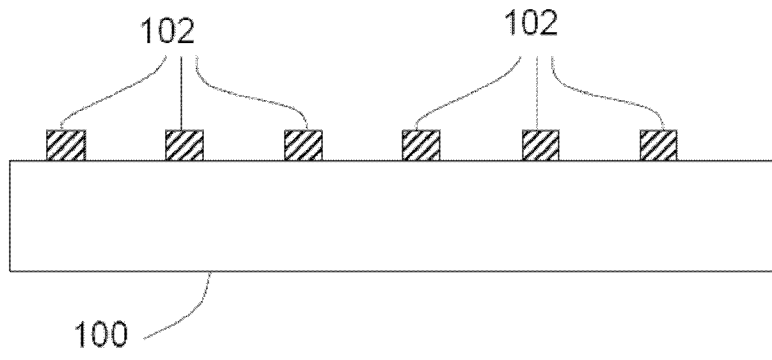


图 1

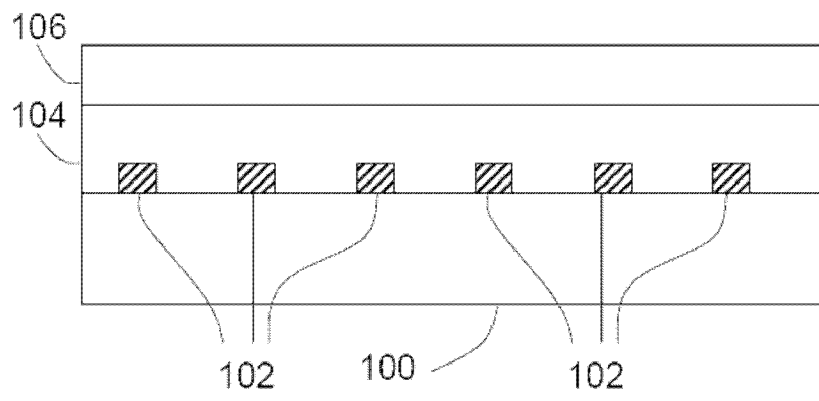


图 2

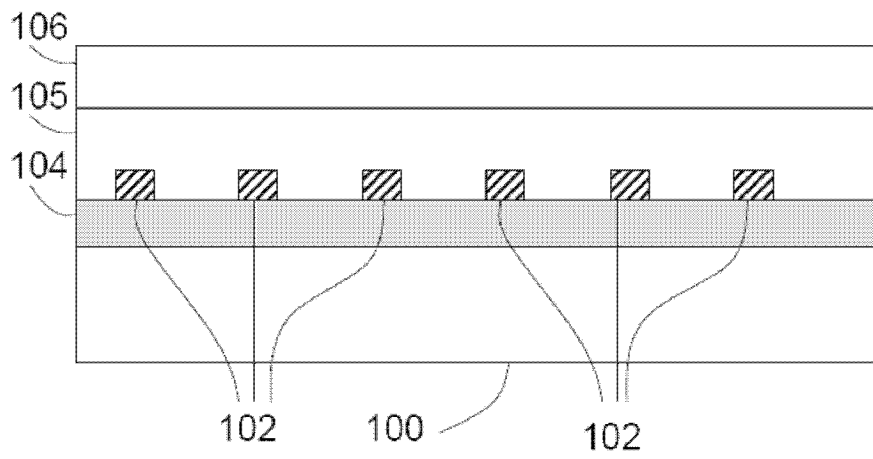


图 3

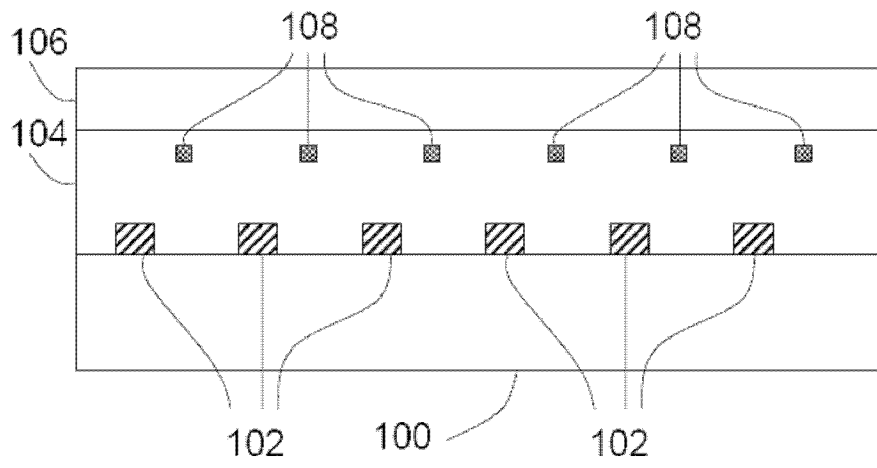


图 4

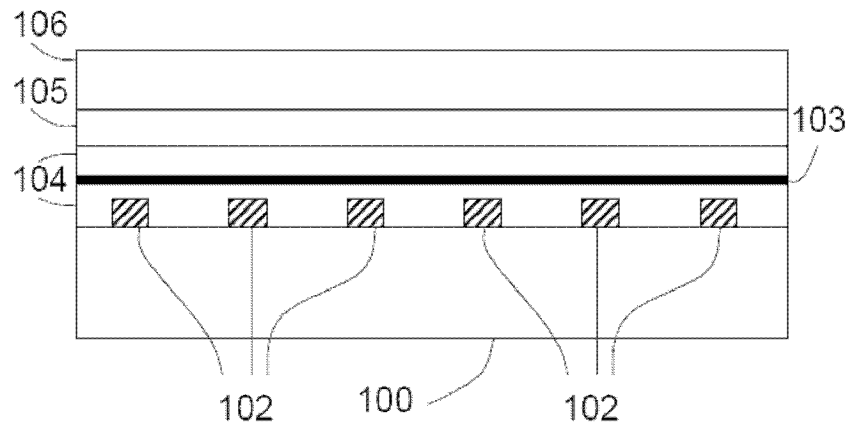


图 5

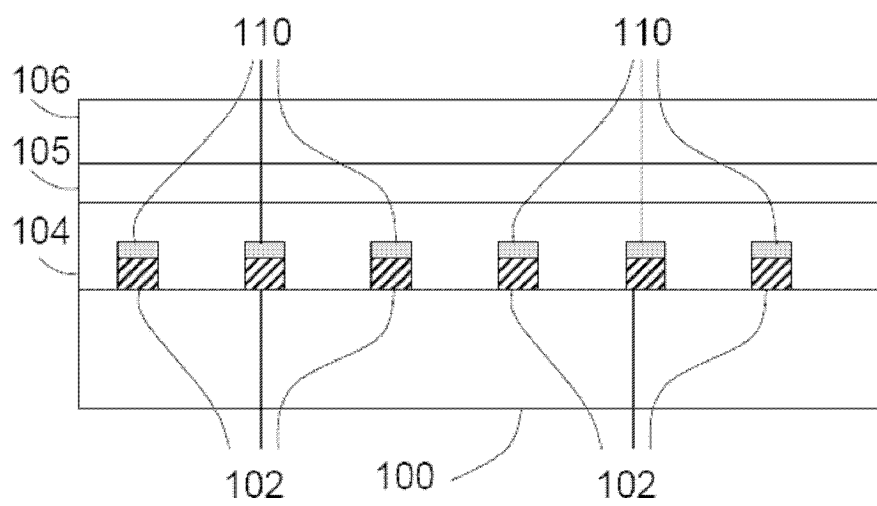


图 6

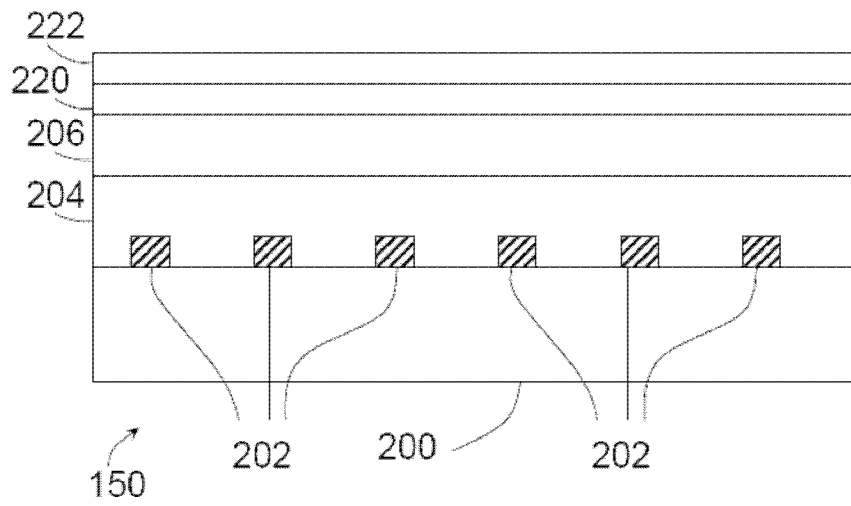


图 7

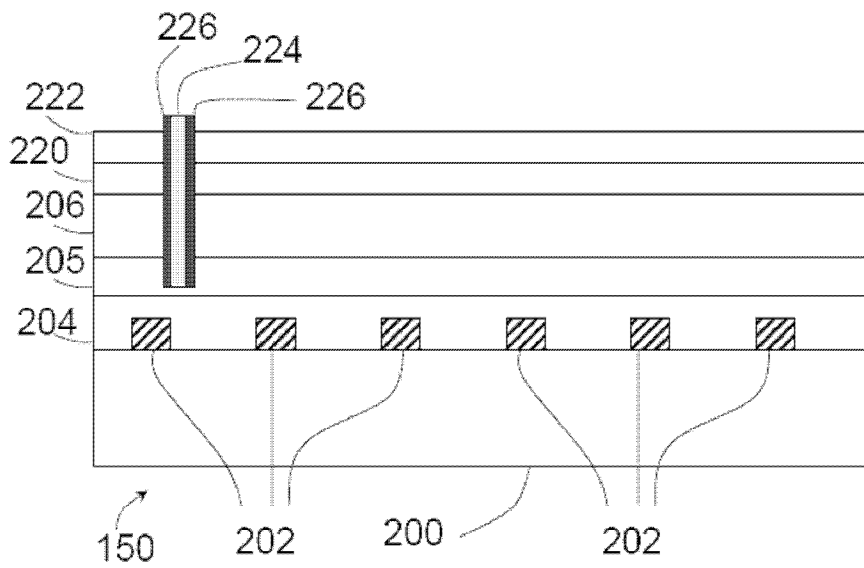


图 8

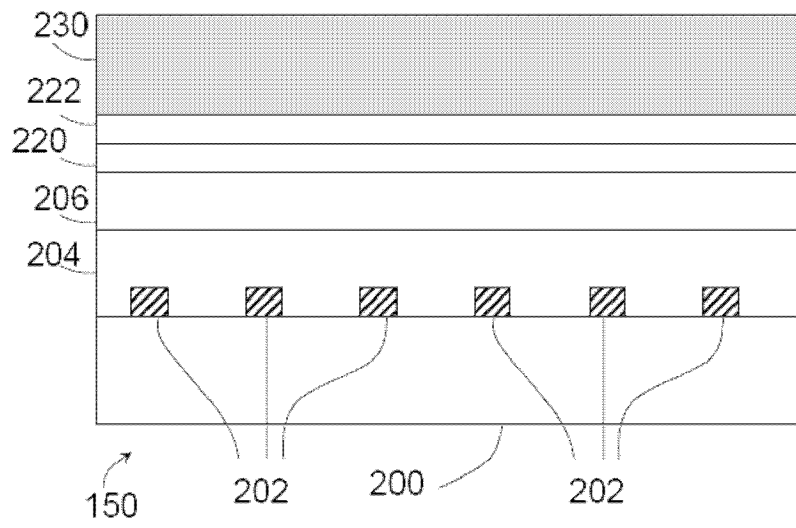


图 9

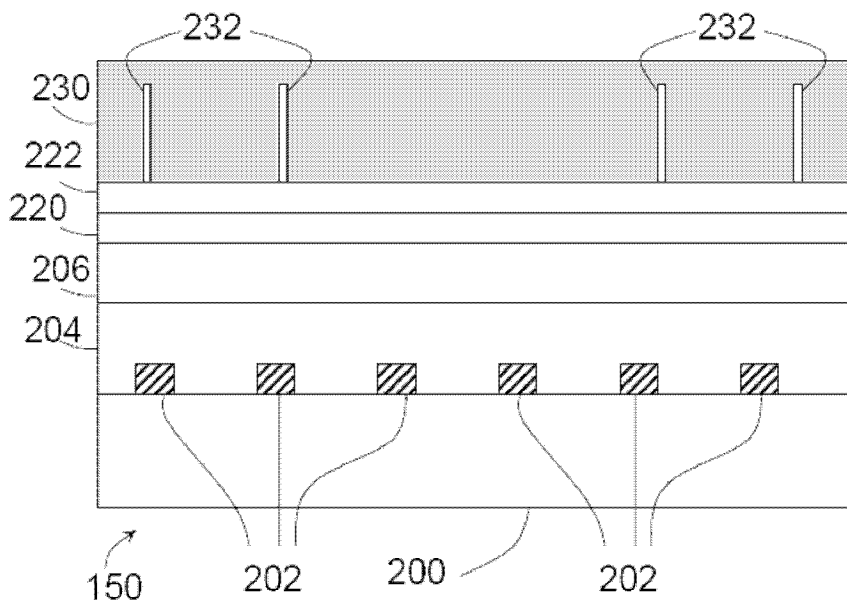


图 10

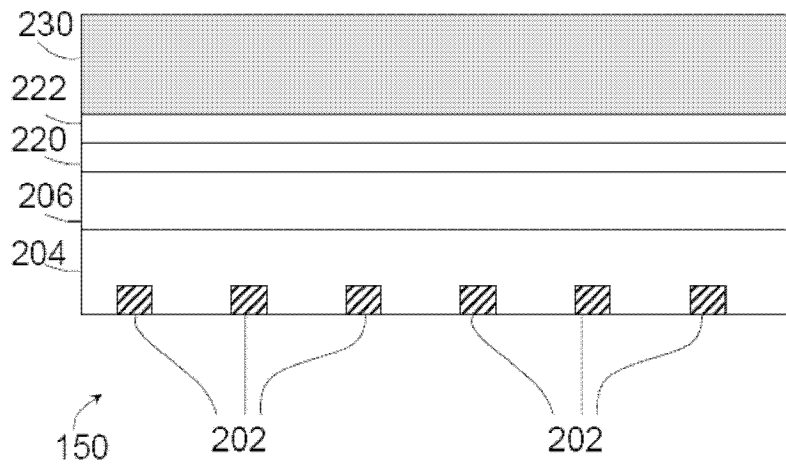


图 11

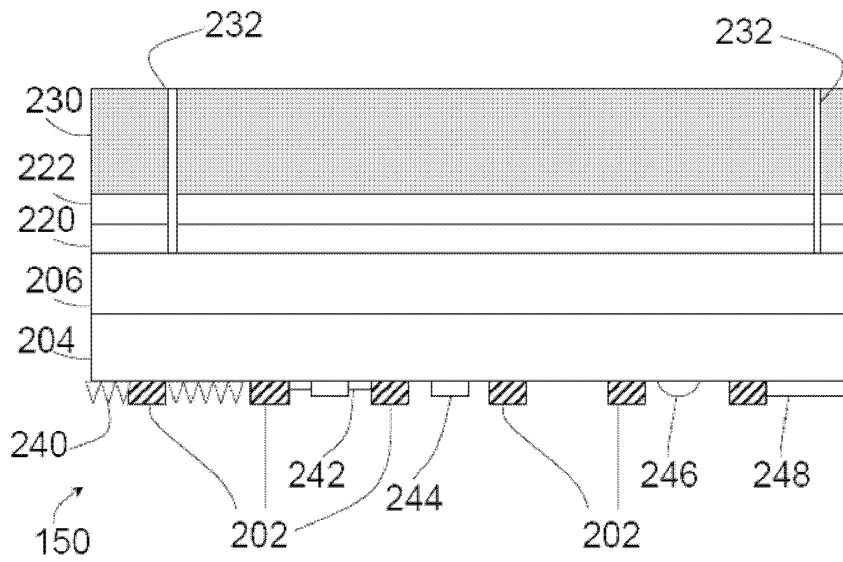


图 12

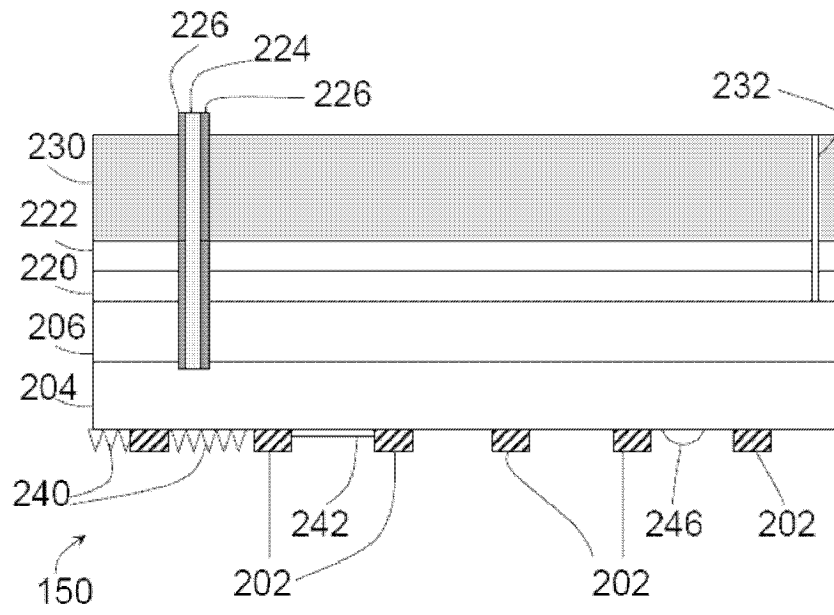


图 13