



(12) 发明专利

(10) 授权公告号 CN 113067566 B

(45) 授权公告日 2024.04.30

(21) 申请号 202110347550.0

(56) 对比文件

(22) 申请日 2021.03.31

CN 102331807 A, 2012.01.25

CN 109495095 A, 2019.03.19

(65) 同一申请的已公布的文献号

CN 110097855 A, 2019.08.06

申请公布号 CN 113067566 A

CN 112039506 A, 2020.12.04

(43) 申请公布日 2021.07.02

CN 202797929 U, 2013.03.13

(73) 专利权人 江苏中科汉韵半导体有限公司

EP 1045519 A2, 2000.10.18

地址 221000 江苏省徐州市经济技术开发区

WO 2020224234 A1, 2020.11.12

区创业路26号A-2厂房1F-2F

审查员 张卉

(72) 发明人 陈珍海 袁述 卢基存 黎力

(74) 专利代理机构 苏州国诚专利代理有限公司

32293

专利代理师 韩凤

(51) Int. Cl.

H03K 17/082 (2006.01)

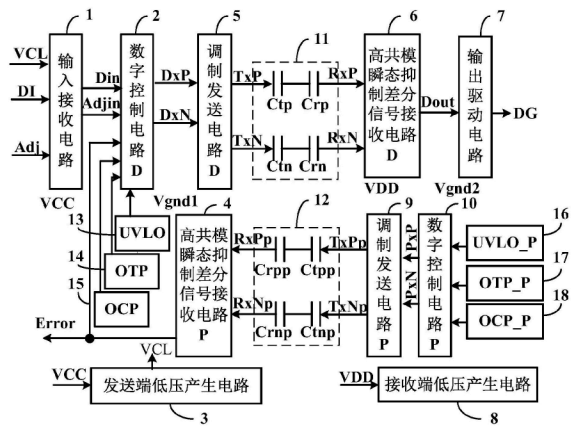
权利要求书4页 说明书17页 附图10页

(54) 发明名称

具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路

(57) 摘要

本发明公开了一种具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路,该电路包括:输入接收电路、数据通道数字控制电路、数据通道调制发送电路、数据通道高共模瞬态抑制差分信号接收电路、保护通道数字控制电路、保护通道调制发送电路、保护通道高共模瞬态抑制差分信号接收电路、输出驱动电路、发送端低压产生电路、接收端低压产生电路、高压隔离电路。本发明一方面采用高精度保护电路,以避免SiC MOSFET脱离其安全工作区,提高可靠性;另一方面,采用高压绝缘隔离技术,可实现超高耐压绝缘电容;此外,自动检测地电位共模瞬态噪声的大小,并在噪声超过阈值时对共模瞬态噪声产生的误差进行动态补偿。本发明可以广泛应用于驱动各类高压SiCMOSFET和IGBT器件。



CN 113067566 B

1. 具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,包括:输入接收电路(1)、数据通道数字控制电路(2)、数据通道调制发送电路(5)、第一高压隔离电路(11)、保护通道高共模瞬态抑制差分信号接收电路(6)、保护通道数字控制电路(10)、保护通道调制发送电路(9)、第二高压隔离电路(12)、数据通道高共模瞬态抑制差分信号接收电路(4)、输出驱动电路(7)、发送端低压产生电路(3)、接收端低压产生电路(8)、发送端欠压保护电路(13)、发送端过温保护电路(14)、发送端过流保护电路(15)、接收端欠压保护电路(16)、接收端过温保护电路(17)和接收端过流保护电路(18);

其中,所述输入接收电路(1)、数据通道数字控制电路(2)、数据通道调制发送电路(5)、数据通道高共模瞬态抑制差分信号接收电路(4)、发送端欠压保护电路(13)、发送端过温保护电路(14)、发送端过流保护电路(15)和发送端低压产生电路(3)构成驱动电路发送端电路;所述保护通道数字控制电路(10)、保护通道调制发送电路(9)、保护通道高共模瞬态抑制差分信号接收电路(6)、输出驱动电路(7)、接收端欠压保护电路(16)、接收端过温保护电路(17)、接收端过流保护电路(18)和接收端低压产生电路(8)构成驱动电路接收端电路;所述驱动电路发送端电路内部所有电路的地电位均连接到发送端地电压 V_{gnd1} ,驱动电路接收端电路内部所有电路的地电位均连接到接收端地电压 V_{gnd2} ;所述第一高压隔离电路(11)包括正端发送电容 C_{tp} 、负端发送电容 C_{tn} 、正端接收电容 C_{rp} 和负端接收电容 C_{rn} ,所述第二高压隔离电路(12)包括正端发送电容 C_{tp} 、负端发送电容 C_{tn} 、正端接收电容 C_{rp} 和负端接收电容 C_{rn} ;

所述输入接收电路(1)接收外部的低电平逻辑输入数据DI和控制信号Adj,经处理转换为高电平为VCC的输入数据Din和控制信号Adjin,连接到数据通道数字控制电路(2)的输入端;数据通道数字控制电路(2)根据发送端欠压保护电路(13)提供的欠压保护信号UVLO、发送端过温保护电路(14)提供的过温保护信号OTP、发送端过流保护电路(15)提供的过流保护信号OCP、数据通道高共模瞬态抑制差分信号接收电路(4)输出的误差信号Error和控制信号Adjin的状态,将Din转化成差分输入数据DxP和DxN,连接到数据通道调制发送电路(5)的输入端,数据通道调制发送电路(5)输出数据通道差分发送数据TxP和TxN;数据通道差分发送数据TxP和TxN分别连接到正端发送电容 C_{tp} 和负端发送电容 C_{tn} 的左端,正端发送电容 C_{tp} 和负端发送电容 C_{tn} 的右端分别连接到正端接收电容 C_{rp} 和负端接收电容 C_{rn} 的左端,正端接收电容 C_{rp} 和负端接收电容 C_{rn} 的右端分别产生数据通道差分接收数据RxP和RxN;所述数据通道差分接收数据RxP和RxN连接到保护通道高共模瞬态抑制差分信号接收电路(6)的输入端,经处理得到接收输出数据Dout,接收输出数据Dout连接到输出驱动电路(7)的输入端,输出驱动电路(7)输出具有大驱动电流的输出驱动信号DG;

保护通道数字控制电路(10)根据接收端欠压保护电路(16)提供的欠压保护信号UVLO_P、接收端过温保护电路(17)提供的过温保护信号OTP_P和接收端过流保护电路(18)提供的过流保护信号OCP_P的状态得到差分保护数据PxP和PxN,连接到保护通道调制发送电路(9)的输入端;保护通道调制发送电路(9)输出保护通道差分发送数据TxPp和TxNp,分别连接到正端发送电容 C_{tp} 和负端发送电容 C_{tn} 的右端;所述正端发送电容 C_{tp} 和负端发送电容 C_{tn} 的左端分别连接到正端接收电容 C_{rp} 和负端接收电容 C_{rn} 的右端,正端接收电容 C_{rp} 和负端接收电容 C_{rn} 的左端产生保护通道差分接收数据RxP和RxN,连接到数据通道高共模瞬态抑制差分信号接收电路(4)的输入端,数据通道高共模瞬态抑制差分信号接收电路(4)

输出误差信号Error连接到数据通道数字控制电路(2)的输入端;

所述发送端低压产生电路(3)和接收端低压产生电路(8)采用相同的低压产生电路实现;发送端低压产生电路(3)采用发送端电源电压VCC,产生用于输入接收电路(1)的低压电源VCL和驱动电路发送端电路内部各组成电路所需要的参考电压和偏置电压;接收端低压产生电路(8)采用接收端电源电压VDD,产生用于驱动电路接收端电路内部各组成电路所需要的参考电压和偏置电压。

2. 根据权利要求1所述的具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述保护通道高共模瞬态抑制差分信号接收电路(6)包括:差分输入接收电路(601)、X级前后级联的共模可调放大电路(602)、高灵敏度共模可调放大电路(603)、第一输出整形电路(604)和共模自适应调整电路(605);其中,差分输入接收电路(601)首先接收到差分接收数据正端接收信号RxP和负端接收信号RxN,经滤波处理得到正端输入信号Vip和负端输入信号Vin;正端输入信号Vip和负端输入信号Vin进入X级前后级联的共模可调放大电路(602)中的第一级共模可调放大电路,最终得到第X级共模可调放大电路的正端输出信号VoXp和负端输出信号VoXn;正端输出信号VoXp和负端输出信号VoXn分别连接高灵敏度共模可调放大电路(603)的正输入端和负输入端,高灵敏度共模可调放大电路(603)输出一组差分输出信号,包括正端输出信号VoXp和负端输出信号VoXn;第一输出整形电路(604)根据正端输出信号VoXp和负端输出信号VoXn的大小,经处理得到最终的数据输出,即接收输出数据Dout;所述共模自适应调整电路(605)根据电源和地电压信号的变化,自适应产生用于各级放大电路的共模调整信号C11,C12,C21,C22,...,CX1,CX2,共模自适应调整电路(605)产生的共模调整信号C11和C12分别连接到第一级共模可调放大电路的共模调整信号输入端;共模调整信号C21和C22分别连接到第二级共模可调放大电路的共模调整信号输入端;以此类推,共模调整信号CX1和CX2分别连接到第X级共模可调放大电路的共模调整信号输入端;共模自适应调整电路(605)还产生共模调整信号CN1和CN2,分别连接到高灵敏度共模可调放大电路(603)的共模调整信号输入端;其中,X为大于1的正整数,N为大于X的正整数;数据通道高共模瞬态抑制差分信号接收电路(4)和保护通道高共模瞬态抑制差分信号接收电路(6)采用相同的高共模瞬态抑制差分信号接收电路实现,数据通道高共模瞬态抑制差分信号接收电路(4)输出的数据作为误差信号Error。

3. 根据权利要求2所述的具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述差分输入接收电路(601)包括:正端隔离电容C51、正端接地电阻R51、正端耦合电容C52、正端共模电阻R53、负端隔离电容C53、负端接地电阻R52、负端耦合电容C54、负端共模电阻R54和接收共模产生电路(6011);所述正端隔离电容C51的左端和负端隔离电容C53的左端分别连接到正端接收信号RxP和负端接收信号RxN;正端隔离电容C51的右端连接到正端接地电阻R51的下端和正端耦合电容C52的左端;负端隔离电容C53的右端连接到负端接地电阻R52的下端和负端耦合电容C54的左端;正端耦合电容C52的右端连接到正端共模电阻R53的上端,并作为正端输入信号Vip的输出端;负端耦合电容C54的右端连接到负端共模电阻R54的下端,并作为负端输入信号Vin的输出端;正端共模电阻R53的下端和负端共模电阻R54的上端相连,并同时连接到接收共模产生电路(6011)的共模输出端Vicm;所述接收共模产生电路(6011)根据输入共模Vcm的变化,动态跟踪调整共模输出端Vicm的大小,减小输入共模的影响。

4. 根据权利要求3所述的具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述接收共模产生电路(6011)包括:NMOS管M60、NMOS管M61、PMOS管M62、NMOS管M63、PMOS管M64、PMOS管M65、NMOS管M66、NMOS管M67、PMOS管M68、NMOS管M69、PMOS管M610、NMOS管M611、PMOS管M612、NMOS管M613、NMOS管M614、PMOS管M615和电阻R61,以及第一施密特触发器(600);

所述NMOS管M60的栅极连接到输入共模电压 V_{cm} ;NMOS管M60的漏极连接到PMOS管M62的漏极和栅极、以及NMOS管M63的栅极;NMOS管M61的栅极连接到输入共模控制信号 V_{ctrl} ;NMOS管M61的漏极和NMOS管M63的漏极相连,并连接到第一施密特触发器(600)的输入端;第一施密特触发器(600)的输出端同时连接到PMOS管M610栅极、NMOS管M611栅极、PMOS管M612栅极和NMOS管M613栅极;PMOS管M610的漏极和NMOS管M611的漏极相连,还连接到NMOS管M614的栅极;PMOS管M612的漏极和NMOS管M613的漏极相连,还连接到PMOS管M615的栅极;NMOS管M614的源极和PMOS管M615的源极相连,还作为所述共模输出端 V_{icm} 的输出端口;NMOS管M614的漏极连接到高输入共模电平 V_{cmh} ,PMOS管M615的漏极连接到低输入共模电平 V_{cml} ;NMOS管M613的源极连接到电阻R61上端;NMOS管M60源极、NMOS管M61源极、NMOS管M611源极和电阻R61下端同时连接到地电压;PMOS管M62的源极、NMOS管M63的源极和PMOS管M610的源极同时连接到电源电压。

5. 根据权利要求2所述的具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述共模自适应调整电路(605)包括:第一共模检测电路(100)、共模检测信号传输电路(101)、调整共模信号产生电路(102)和共模调整信号选择电路(103);所述第一共模检测电路(100)用于检测电源和衬底噪声,并在噪声大于一定阈值时改变共模检测信号 V_{cm_det} 的大小,共模检测信号 V_{cm_det} 连接到共模检测信号传输电路(101),经过共模检测信号传输电路(101)产生共模选择开关控制信号 $N11, N12, N21, N22, \dots, NX1, NX2$ 以及 $NN1, NN2$,并输出到共模调整信号选择电路(103);共模调整信号选择电路(103)根据上述共模选择开关控制信号产生和调整共模调整信号 $C11, C12, C21, C22, \dots, CX1, CX2$ 以及 $CN1, CN2$ 的大小并输出;调整共模信号产生电路(102)用于产生共模调整信号选择电路(103)需要的各类共模偏置信号,并输出到共模调整信号选择电路(103)。

6. 根据权利要求5所述的具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述第一共模检测电路(100)包括:PMOS管M111、PMOS管M112和NMOS管M113;其中,PMOS管M111的栅极和漏极相连,并连接到PMOS管M112的漏极和NMOS管M113的栅极;PMOS管M112的栅极和NMOS管M113的漏极相连,并作为共模检测信号 V_{cm_det} 的输出节点;PMOS管M111源极和PMOS管M112源极连接电源电压,NMOS管M113的源极连接到地电压。

7. 根据权利要求1所述的具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述发送端过温保护电路(14)、接收端过温保护电路(17)采用相同的过温保护电路,包括依次连接的钳位电路(1401)、温度检测电路(1402)、宽电压范围比较器电路(1403)和第一输出整形电路(1404),所述温度检测电路(1402)根据钳位电路(1401)提供的偏置电压 V_b ,得到第一温度检测输出信号 V_{in1} 和第二温度检测输出信号 V_{in2} ;所述宽电压范围比较器电路(1403)将第一温度检测输出信号 V_{in1} 和第二温度检测输出信号 V_{in2} 进行比较,得到比较输出信号 V_{o1} ;所述第一输出整形电路(1404)将比较输出信号 V_{o1} 进行处理输出温度保护信号 $OTLock$, $OTLock$ 为数字逻辑信号, $OTLock$ 将连接到钳位电路(1401)的输入端用于控

制偏置电压 V_b 大小,OTLock同时还作为一个控制信号输出给高压绝缘隔离SiC MOSFET栅驱动电路的其他电路模块。

8. 根据权利要求7所述的具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述温度检测电路(1402)包括:PMOS管M21、PMOS管M22、电阻R21、三极管Q1和三极管Q2;三极管Q1和三极管Q2的基极相连,并连接到所述钳位电路(1401)的偏置电压 V_b 输出节点;三极管Q1的发射极连接到PMOS管M21的栅极和漏极,并作为第一温度检测输出信号 V_{in1} 的输出节点;三极管Q2的发射极连接到PMOS管M22的栅极和漏极,并作为第二温度检测输出信号 V_{in2} 的输出节点;PMOS管M21的源极和PMOS管M22的源极连接到电源电压,三极管Q2的集电极连接到电阻R21的上端,电阻R21的下端、三极管Q1的集电极连接到地电压;其中,PMOS管M21和PMOS管M22的宽长比相等,三极管Q1和三极管Q2的基极面积比为1:N,N为任意自然数。

9. 根据权利要求7所述的具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述宽电压范围比较器电路(1403)包括:PMOS管M31、PMOS管M33、PMOS管M35、PMOS管M36、PMOS管M37、PMOS管M39、NMOS管M32、NMOS管M34、NMOS管M38、NMOS管M310和第二共模检测电路(1031);PMOS管M31的栅极连接到第一温度检测输出信号 V_{in1} ,PMOS管M33的栅极连接到第二温度检测输出信号 V_{in2} ;PMOS管M31的漏极连接到NMOS管M32的漏极和栅极、NMOS管M34的栅极以及NMOS管M310的栅极;PMOS管M33的漏极连接到NMOS管M34的漏极和PMOS管M37的栅极;PMOS管M37的漏极连接到NMOS管M38的漏极和栅极,PMOS管M37的源极连接到PMOS管M39的栅极和PMOS管M36的漏极;PMOS管M36的源极连接到PMOS管M35的漏极,PMOS管M36和PMOS管M35的栅极都连接到第二共模检测电路(1031)输出的控制信号;PMOS管M39的漏极与NMOS管M310的漏极相连,并输出比较输出信号 V_{o1} ;PMOS管M31、PMOS管M33、PMOS管M35和PMOS管M39的源极同时连接到电源电压;NMOS管M32、NMOS管M34、NMOS管M38和NMOS管M310的源极同时连接到地电压。

10. 根据权利要求9所述的具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述第二共模检测电路(1031)自动检测电源电压和衬底电位产生的共模噪声,并在共模噪声超过一定阈值时改变共模控制信号 V_{cm_det} ;当共模噪声未超过阈值时,共模控制信号 V_{cm_det} 为高电平,PMOS管M36和PMOS管M35均处于关断状态,PMOS管M39的栅极受PMOS管M37的源极控制;当共模噪声超过阈值时,共模控制信号 V_{cm_det} 为低电平,PMOS管M36和PMOS管M35均处于导通状态,PMOS管M39进入关闭状态,比较输出信号 V_{o1} 将被钳位到低电平,防止共模噪声影响比较器的正常工作。

具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路

技术领域

[0001] 本发明涉及一种具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路,属于集成电路技术领域。

背景技术

[0002] 随着Si基超结MOSFET和绝缘栅双极晶体管(IGBT)的出现和应用普及,硅器件由于其本身物理特性的限制,已经开始不适用于一些高压、高温、高效率及高功率密度的应用场合。与Si材料相比,SiC材料较高的热导率决定了其高电流密度的特性,较高的禁带宽度又决定了SiC器件的高击穿场强和高工作温度。尤其在SiC MOSFET的开发与应用方面,与相同功率等级的Si MOSFET相比,SiC MOSFET导通电阻、开关损耗大幅降低,适用于更高的工作频率,另由于其高温工作特性,大大提高了高温稳定性。

[0003] 由于SiC MOSFET器件特性与传统的Si MOSFET有较大差别,SiC MOSFET驱动电路的性能对于整机系统起着至关重要的影响。基于SiC器件的新一代电力电子整机系统对高压栅驱动芯片的驱动速度、智能化提出了更高的要求,从而进一步提高整机可靠性,并降低整机系统设计复杂度。相比于Si MOSFET,SiC MOSFET的寄生电容更小,两者相差超过十倍,因此SiC MOSFET对驱动电路的寄生参数更敏感。另一方面,SiC MOSFET的驱动电压范围通常为-5V~+25V,而传统的Si MOSFET的驱动电压范围为-30V~+30V。因此,SiC MOSFET与传统的Si MOSFET相比,安全阈值更小,驱动电路的一个电压尖峰很可能就会击穿栅源之间氧化层,这也是驱动电路的输出控制电平需要精心设计。

[0004] 高压栅驱动芯片用于满足CPU控制器输出接口提供的小功率电平信号和大功率输出器件栅驱动所需要高压大电流信号之间转换驱动的需求。栅驱动IC在整机系统中的核心功能为将CPU控制器输出的小功率电平信号(1mA/3-5V)转换为大功率器件栅驱动所需要高压大电流信号(0.5~5A/5~20V),将输出电流和输出电压摆幅进行放大;由于输出驱动对象为高压大电流器件,因此输出电路和输入电路之间的衬底电位存在很大的电压差,高低压电路之间必须进行电气隔离;另外,由于高压和低压区电路之间还必须进行信号连接,因此芯片内必须有负责隔离区两侧之间信号传输功能的隔离区信号传输模块。由于SiC MOSFET应用背景为大功率电力系统,因此在运行过程中必须保护SiC MOSFET以避免脱离其安全工作区,从而使寿命缩短甚至损坏,所以必须在驱动器中加入保护电路,当发生故障时能够快速有效的保护。因此,SiC MOSFET栅驱动电路内部通常要集成监测与保护电路,包括过压、欠压、过温以及过流保护等功能。

发明内容

[0005] 本发明的目的是针对SiC MOSFET器件的驱动应用需求,提供一种基于绝缘隔离技术并且具有高共模瞬态噪声抑制特性的高压绝缘隔离SiC MOSFET栅驱动电路。

[0006] 按照本发明提供的技术方案,所述的具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路包括:输入接收电路、数据通道数字控制电路、数据通道调制发送电路、第一高压

隔离电路、保护通道高共模瞬态抑制差分信号接收电路、保护通道数字控制电路、保护通道调制发送电路、第二高压隔离电路、数据通道高共模瞬态抑制差分信号接收电路、输出驱动电路、发送端低压产生电路、接收端低压产生电路、发送端欠压保护电路、发送端过温保护电路、发送端过流保护电路、接收端欠压保护电路、接收端过温保护电路和接收端过流保护电路；

[0007] 其中,所述输入接收电路、数据通道数字控制电路、数据通道调制发送电路、数据通道高共模瞬态抑制差分信号接收电路、发送端欠压保护电路、发送端过温保护电路、发送端过流保护电路和发送端低压产生电路构成驱动电路发送端电路;所述保护通道数字控制电路、保护通道调制发送电路、保护通道高共模瞬态抑制差分信号接收电路、输出驱动电路、接收端欠压保护电路、接收端过温保护电路、接收端过流保护电路和接收端低压产生电路构成驱动电路接收端电路;所述驱动电路发送端电路内部所有电路的地电位均连接到发送端地电压 V_{gnd1} ,驱动电路接收端电路内部所有电路的地电位均连接到接收端地电压 V_{gnd2} ;所述第一高压隔离电路包括正端发送电容 C_{tp} 、负端发送电容 C_{tn} 、正端接收电容 C_{rp} 和负端接收电容 C_{rn} ,所述第二高压隔离电路包括正端发送电容 C_{tpp} 、负端发送电容 C_{tnp} 、正端接收电容 C_{rpp} 和负端接收电容 C_{rnp} ;

[0008] 所述输入接收电路接收外部的低电平逻辑输入数据DI和控制信号Adj,经处理转换为高电平为VCC的输入数据Din和控制信号Adjin,连接到数据通道数字控制电路的输入端;数据通道数字控制电路根据发送端欠压保护电路提供的欠压保护信号UVLO、发送端过温保护电路提供的过温保护信号OTP、发送端过流保护电路提供的过流保护信号OCP、数据通道高共模瞬态抑制差分信号接收电路输出的误差信号Error和控制信号Adjin的状态,将Din转化成差分输入数据DxP和DxN,连接到数据通道调制发送电路的输入端,数据通道调制发送电路输出数据通道差分发送数据TxP和TxN;数据通道差分发送数据TxP和TxN分别连接到正端发送电容 C_{tp} 和负端发送电容 C_{tn} 的左端,正端发送电容 C_{tp} 和负端发送电容 C_{tn} 的右端分别连接到正端接收电容 C_{rp} 和负端接收电容 C_{rn} 的左端,正端接收电容 C_{rp} 和负端接收电容 C_{rn} 的右端分别产生数据通道差分接收数据RxP和RxN;所述数据通道差分接收数据RxP和RxN连接到保护通道高共模瞬态抑制差分信号接收电路的输入端,经处理得到接收输出数据Dout,接收输出数据Dout连接到输出驱动电路的输入端,输出驱动电路输出具有大驱动电流的输出驱动信号DG;

[0009] 保护通道数字控制电路根据接收端欠压保护电路提供的欠压保护信号UVLO_P、接收端过温保护电路提供的过温保护信号OTP_P和接收端过流保护电路提供的过流保护信号OCP_P的状态得到差分保护数据PxP和PxN,连接到保护通道调制发送电路的输入端;保护通道调制发送电路输出保护通道差分发送数据TxPp和TxNp,分别连接到正端发送电容 C_{tpp} 和负端发送电容 C_{tnp} 的右端;所述正端发送电容 C_{tpp} 和负端发送电容 C_{tnp} 的左端分别连接到正端接收电容 C_{rpp} 和负端接收电容 C_{rnp} 的右端,正端接收电容 C_{rpp} 和负端接收电容 C_{rnp} 的左端产生保护通道差分接收数据RxP和RxN,连接到数据通道高共模瞬态抑制差分信号接收电路的输入端,数据通道高共模瞬态抑制差分信号接收电路输出误差信号Error连接到数据通道数字控制电路的输入端;

[0010] 所述发送端低压产生电路和接收端低压产生电路采用相同的低压产生电路实现;发送端低压产生电路采用发送端电源电压VCC,产生用于输入接收电路的低压电源VCL和驱

动电路发送端电路内部各组成电路所需要的参考电压和偏置电压;接收端低压产生电路采用接收端电源电压VDD,产生用于驱动电路接收端电路内部各组成电路所需要的参考电压和偏置电压。

[0011] 具体的,所述保护通道高共模瞬态抑制差分信号接收电路包括:差分输入接收电路、X级前后级联的共模可调放大电路、高灵敏度共模可调放大电路、第一输出整形电路和共模自适应调整电路;其中,差分输入接收电路首先接收到差分接收数据正端接收信号R_{xP}和负端接收信号R_{xN},经滤波处理得到正端输入信号V_{ip}和负端输入信号V_{in};正端输入信号V_{ip}和负端输入信号V_{in}进入X级前后级联的共模可调放大电路中的第一级共模可调放大电路,最终得到第X级共模可调放大电路的正端输出信号V_{oXp}和负端输出信号V_{oXn};正端输出信号V_{oXp}和负端输出信号V_{oXn}分别连接高灵敏度共模可调放大电路的正输入端和负输入端,高灵敏度共模可调放大电路输出一组差分输出信号,包括正端输出信号V_{oXp}和负端输出信号V_{oXn};第一输出整形电路根据正端输出信号V_{oXp}和负端输出信号V_{oXn}的大小,经处理得到最终的数据输出,即接收输出数据D_{out};所述共模自适应调整电路根据电源和地电压信号的变化,自适应产生用于各级放大电路的共模调整信号C₁₁,C₁₂,C₂₁,C₂₂,...,C_{X1},C_{X2},共模自适应调整电路产生的共模调整信号C₁₁和C₁₂分别连接到第一级共模可调放大电路的共模调整信号输入端;共模调整信号C₂₁和C₂₂分别连接到第二级共模可调放大电路的共模调整信号输入端;以此类推,共模调整信号C_{X1}和C_{X2}分别连接到第X级共模可调放大电路的共模调整信号输入端;共模自适应调整电路还产生共模调整信号C_{N1}和C_{N2},分别连接到高灵敏度共模可调放大电路的共模调整信号输入端;其中,X为大于1的正整数,N为大于X的正整数;数据通道高共模瞬态抑制差分信号接收电路和保护通道高共模瞬态抑制差分信号接收电路采用相同的高共模瞬态抑制差分信号接收电路实现,数据通道高共模瞬态抑制差分信号接收电路输出的数据作为误差信号Error。

[0012] 具体的,所述差分输入接收电路包括:正端隔离电容C₅₁、正端接地电阻R₅₁、正端耦合电容C₅₂、正端共模电阻R₅₃、负端隔离电容C₅₃、负端接地电阻R₅₂、负端耦合电容C₅₄、负端共模电阻R₅₄和接收共模产生电路;所述正端隔离电容C₅₁的左端和负端隔离电容C₅₃的左端分别连接到正端接收信号R_{xP}和负端接收信号R_{xN};正端隔离电容C₅₁的右端连接到正端接地电阻R₅₁的下端和正端耦合电容C₅₂的左端;负端隔离电容C₅₃的右端连接到负端接地电阻R₅₂的下端和负端耦合电容C₅₄的左端;正端耦合电容C₅₂的右端连接到正端共模电阻R₅₃的上端,并作为正端输入信号V_{ip}的输出端;负端耦合电容C₅₄的右端连接到负端共模电阻R₅₄的下端,并作为负端输入信号V_{in}的输出端;正端共模电阻R₅₃的下端和负端共模电阻R₅₄的上端相连,并同时连接到接收共模产生电路的共模输出端V_{icm};所述接收共模产生电路根据输入共模V_{cm}的变化,动态跟踪调整共模输出端V_{icm}的大小,减小输入共模的影响。

[0013] 具体的,所述接收共模产生电路包括:NMOS管M₆₀、NMOS管M₆₁、PMOS管M₆₂、NMOS管M₆₃、PMOS管M₆₄、PMOS管M₆₅、NMOS管M₆₆、NMOS管M₆₇、PMOS管M₆₈、NMOS管M₆₉、PMOS管M₆₁₀、NMOS管M₆₁₁、PMOS管M₆₁₂、NMOS管M₆₁₃、NMOS管M₆₁₄、PMOS管M₆₁₅和电阻R₆₁,以及第一施密特触发器;

[0014] 所述NMOS管M₆₀的栅极连接到输入共模电压V_{cm};NMOS管M₆₀的漏极连接到PMOS管M₆₂的漏极和栅极、以及NMOS管M₆₃的栅极;NMOS管M₆₁的栅极连接到输入共模控制信号

Vctrl;NMOS管M61的漏极和NMOS管M63的漏极相连,并连接到第一施密特触发器的输入端;第一施密特触发器的输出端同时连接到PMOS管M610栅极、NMOS管M611栅极、PMOS管M612栅极和NMOS管M613栅极;PMOS管M610的漏极和NMOS管M611的漏极相连,还连接到NMOS管M614的栅极;PMOS管M612的漏极和NMOS管M613的漏极相连,还连接到PMOS管M615的栅极;NMOS管M614的源极和PMOS管M615的源极相连,还作为所述共模输出端Vicm的输出端口;NMOS管M614的漏极连接到高输入共模电平Vcmh,PMOS管M615的漏极连接到低输入共模电平Vcml;NMOS管M613的源极连接到电阻R61上端;NMOS管M60源极、NMOS管M61源极、NMOS管M611源极和电阻R61下端同时连接到地电压;PMOS管M62的源极、NMOS管M63的源极和PMOS管M610的源极同时连接到电源电压。

[0015] 具体的,所述共模自适应调整电路包括:第一共模检测电路、共模检测信号传输电路、调整共模信号产生电路和共模调整信号选择电路;所述第一共模检测电路用于检测电源和衬底噪声,并在噪声大于一定阈值时改变共模检测信号Vcm_det的大小,共模检测信号Vcm_det连接到共模检测信号传输电路,经过共模检测信号传输电路产生共模选择开关控制信号N11,N12,N21,N22,⋯,NX1,NX2以及NN1,NN2,并输出到共模调整信号选择电路;共模调整信号选择电路根据上述共模选择开关控制信号产生和调整共模调整信号C11,C12,C21,C22,⋯,CX1,CX2以及CN1,CN2的大小并输出;调整共模信号产生电路用于产生共模调整信号选择电路需要的各类共模偏置信号,并输出到共模调整信号选择电路。

[0016] 具体的,所述第一共模检测电路包括:PMOS管M111、PMOS管M112和NMOS管M113;其中,PMOS管M111的栅极和漏极相连,并连接到PMOS管M112的漏极和NMOS管M113的栅极;PMOS管M112的栅极和NMOS管M113的漏极相连,并作为共模检测信号Vcm_det的输出节点;PMOS管M111源极和PMOS管M112源极连接电源电压,NMOS管M113的源极连接到地电压。

[0017] 具体的,所述发送端过温保护电路、接收端过温保护电路采用相同的过温保护电路,包括依次连接的钳位电路、温度检测电路、宽电压范围比较器电路和第一输出整形电路,所述温度检测电路根据钳位电路提供的偏置电压Vb,得到第一温度检测输出信号Vin1和第二温度检测输出信号Vin2;所述宽电压范围比较器电路将第一温度检测输出信号Vin1和第二温度检测输出信号Vin2进行比较,得到比较输出信号Vo1;所述第一输出整形电路将比较输出信号Vo1进行处理输出温度保护信号OTLock,OTLock为数字逻辑信号,OTLock将连接到钳位电路的输入端用于控制偏置电压Vb大小,OTLock同时还作为一个控制信号输出给高压绝缘隔离SiC MOSFET栅驱动电路的其他电路模块。

[0018] 具体的,所述温度检测电路包括:PMOS管M21、PMOS管M22、电阻R21、三极管Q1和三极管Q2;三极管Q1和三极管Q2的基极相连,并连接到所述钳位电路的偏置电压Vb输出节点;三极管Q1的发射极连接到PMOS管M21的栅极和漏极,并作为第一温度检测输出信号Vin1的输出节点;三极管Q2的发射极连接到PMOS管M22的栅极和漏极,并作为第二温度检测输出信号Vin2的输出节点;PMOS管M21的源极和PMOS管M22的源极连接到电源电压,三极管Q2的集电极连接到电阻R21的上端,电阻R21的下端、三极管Q1的集电极连接到地电压;其中,PMOS管M21和PMOS管M22的宽长比相等,三极管Q1和三极管Q2的基极面积比为1:N,N为任意自然数。

[0019] 具体的,所述宽电压范围比较器电路包括:PMOS管M31、PMOS管M33、PMOS管M35、PMOS管M36、PMOS管M37、PMOS管M39、NMOS管M32、NMOS管M34、NMOS管M38、NMOS管M310和第二

共模检测电路;PMOS管M31的栅极连接到第一温度检测输出信号Vin1,PMOS管M33的栅极连接到第二温度检测输出信号Vin2;PMOS管M31的漏极连接到NMOS管M32的漏极和栅极、NMOS管M34的栅极以及NMOS管M310的栅极;PMOS管M33的漏极连接到NMOS管M34的漏极和PMOS管M37的栅极;PMOS管M37的漏极连接到NMOS管M38的漏极和栅极,PMOS管M37的源极连接到PMOS管M39的栅极和PMOS管M36的漏极;PMOS管M36的源极连接到PMOS管M35的漏极,PMOS管M36和PMOS管M35的栅极都连接到第二共模检测电路输出的控制信号;PMOS管M39的漏极与NMOS管M310的漏极相连,并输出比较输出信号Vo1;PMOS管M31、PMOS管M33、PMOS管M35和PMOS管M39的源极同时连接到电源电压;NMOS管M32、NMOS管M34、NMOS管M38和NMOS管M310的源极同时连接到地电压。

[0020] 具体的,所述第二共模检测电路自动检测电源电压和衬底电位产生的共模噪声,并在共模噪声超过一定阈值时改变共模控制信号Vcm_det;当共模噪声未超过阈值时,共模控制信号Vcm_det为高电平,PMOS管M36和PMOS管M35均处于关断状态,PMOS管M39的栅极受PMOS管M37的源极控制;当共模噪声超过阈值时,共模控制信号Vcm_det为低电平,PMOS管M36和PMOS管M35均处于导通状态,PMOS管M39进入关闭状态,比较输出信号Vo1将被钳位到低电平,防止共模噪声影响比较器的正常工作。

[0021] 本发明的优点是:所提供的具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路,一方面,采用高精度保护电路,以避免SiC MOSFET脱离其安全工作区,提高可靠性;另一方面,采用高压绝缘隔离技术,可实现超高耐压绝缘电容;此外,该电路能自动检测地电位共模瞬态噪声的大小,并在噪声超过阈值时对共模瞬态噪声产生的误差进行动态补偿。

附图说明

- [0022] 图1为本发明具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路结构图。
- [0023] 图2为本发明输入接收电路结构图。
- [0024] 图3为本发明数字控制电路结构图。
- [0025] 图4为本发明调制发送电路结构图。
- [0026] 图5为本发明高共模瞬态抑制差分信号接收电路结构图。
- [0027] 图6为本发明差分输入接收电路的实施例。
- [0028] 图7为本发明接收共模产生电路的实施例。
- [0029] 图8为本发明共模可调放大电路的实施例。
- [0030] 图9为本发明高灵敏度共模可调放大电路的实施例。
- [0031] 图10为本发明第一输出整形电路的实施例。
- [0032] 图11为本发明共模自适应调整电路的实施例。
- [0033] 图12为本发明共模检测电路的实施例。
- [0034] 图13为图12所示电路的工作波形。
- [0035] 图14为本发明高压隔离电容的实施例。
- [0036] 图15为本发明低压产生电路的实施例。
- [0037] 图16为本发明高精度宽电压范围过温保护电路结构图。
- [0038] 图17为本发明钳位电路的实施例。
- [0039] 图18为本发明温度检测电路的实施例。

- [0040] 图19为本发明宽电压范围比较器电路的实施例。
[0041] 图20为本发明第二输出整形电路的实施例。
[0042] 图21为本发明高精度欠压保护电路结构图。
[0043] 图22为本发明高精度过流保护电路结构图。
[0044] 图23为本发明输出驱动电路的实施例。

具体实施方式

[0045] 下面结合附图和实施例对本发明进行进一步详细的说明。

[0046] 如图1所示,本发明所述的具有保护功能的高压绝缘隔离SiC MOSFET栅驱动电路包括输入接收电路1、数据通道数字控制电路2、数据通道调制发送电路5、第一高压隔离电路11、保护通道高共模瞬态抑制差分信号接收电路6、保护通道数字控制电路10、保护通道调制发送电路9、第二高压隔离电路12、数据通道高共模瞬态抑制差分信号接收电路4、输出驱动电路7、发送端低压产生电路3、接收端低压产生电路8、发送端欠压保护电路13、发送端过温保护电路14、发送端过流保护电路15、接收端欠压保护电路16、接收端过温保护电路17和接收端过流保护电路18。

[0047] 其中,所述输入接收电路1、数据通道数字控制电路2、数据通道调制发送电路5、数据通道高共模瞬态抑制差分信号接收电路4、发送端欠压保护电路13、发送端过温保护电路14、发送端过流保护电路15和发送端低压产生电路3构成驱动电路发送端电路;所述保护通道数字控制电路10、保护通道调制发送电路9、保护通道高共模瞬态抑制差分信号接收电路6、输出驱动电路7、接收端欠压保护电路16、接收端过温保护电路17、接收端过流保护电路18和接收端低压产生电路8构成驱动电路接收端电路。所述驱动电路发送端电路内部所有电路的地电位均连接到发送端地电压 V_{gnd1} ,所述驱动电路接收端电路内部所有电路的地电位均连接到接收端地电压 V_{gnd2} 。

[0048] 高压隔离电路用于将驱动电路发送端电路和驱动电路接收端电路隔离开。所述第一高压隔离电路11包括正端发送电容 C_{tp} 、负端发送电容 C_{tn} 、正端接收电容 C_{rp} 和负端接收电容 C_{rn} ,所述第二高压隔离电路12包括正端发送电容 C_{tpp} 、负端发送电容 C_{tnp} 、正端接收电容 C_{rpp} 和负端接收电容 C_{rnp} 。

[0049] 输入接收电路1接收外部的低电平逻辑输入数据DI和控制信号Adj,经处理转换为高电平为VCC的输入数据Din和控制信号Adjin;输入数据Din然后进入数据通道数字控制电路2,数据通道数字控制电路2根据发送端欠压保护电路13提供的欠压保护信号UVLO、发送端过温保护电路14提供的过温保护信号OTP、发送端过流保护电路15提供的过流保护信号OCP、数据通道高共模瞬态抑制差分信号接收电路4输出的误差信号Error和控制信号Adjin的状态得到差分输入数据 D_{xP} 和 D_{xN} ;差分输入数据 D_{xP} 和 D_{xN} 进入数据通道调制发送电路5,得到数据通道差分发送数据 T_{xP} 和 T_{xN} ;数据通道差分发送数据 T_{xP} 和 T_{xN} 分别连接到正端发送电容 C_{tp} 和负端发送电容 C_{tn} 的左端;所述正端发送电容 C_{tp} 和负端发送电容 C_{tn} 的右端,分别连接到正端接收电容 C_{rp} 和负端接收电容 C_{rn} 的左端;所述正端接收电容 C_{rp} 和负端接收电容 C_{rn} 的右端为数据通道差分接收数据 R_{xP} 和 R_{xN} ;所述数据通道差分接收数据 R_{xP} 和 R_{xN} 进入保护通道高共模瞬态抑制差分信号接收电路6,经处理得到接收输出数据Dout;接收输出数据Dout最后进入输出驱动电路7,产生具有大驱动电流的输出驱动信号DG。

[0050] 与数据通道数字控制电路2同理,保护通道数字控制电路10根据接收端欠压保护电路16提供的欠压保护信号UVLO_P、接收端过温保护电路17提供的过温保护信号OTP_P和接收端过流保护电路18提供的过流保护信号OCP_P的状态得到差分保护数据PxP和PxN;差分保护数据PxP和PxN进入保护通道调制发送电路9,得到保护通道差分发送数据TxPp和TxNp;保护通道差分发送数据TxPp和TxNp分别连接到正端发送电容Ctpp和负端发送电容Ctnp的右端;所述正端发送电容Ctpp和负端发送电容Ctnp的左端,分别连接到正端接收电容Crpp和负端接收电容Crnp的右端;所述正端接收电容Crpp和负端接收电容Crnp的左端为保护通道差分接收数据RxP和RxN;所述保护通道差分接收数据RxP和RxN进入数据通道高共模瞬态抑制差分信号接收电路4,经处理得到误差信号Error输出。

[0051] 所述发送端低压产生电路3采用发送端电源电压VCC,产生用于输入接收电路1的低压电源VCL和驱动电路发送端电路内部各组成电路所需要的各类参考电压和偏置电压。接收端低压产生电路8采用接收端电源电压VDD,产生用于驱动电路接收端电路内部各组成电路所需要的各类参考电压和偏置电压。所述发送端低压产生电路3和接收端低压产生电路8采用相同的低压产生电路实现。

[0052] 所述发送端欠压保护电路13和接收端欠压保护电路16采用相同的高精度欠压保护电路实现;所述发送端过温保护电路14和接收端过温保护电路17采用相同的高精度宽电压范围过温保护电路实现;所述发送端过流保护电路15和接收端过流保护电路18采用相同的高精度过流保护电路实现。

[0053] 图1所示电路中,发送端欠压保护电路13、发送端过温保护电路14、发送端过流保护电路15分别提供欠压保护信号UVLO、过温保护信号OTP和过流保护信号OCP,交由数据通道数字控制电路2判断芯片状态是否正确。当电路发生过流(OCP有效)、过温(OTP有效)或者电源电压欠压(UVLO有效)时,数据通道数字控制电路2会封锁两路输出DxP和DxN;当解除过流及过温警报、电源恢复正常工作电压时,数据通道数字控制电路2指示电路工作正常。本发明中用于监控输出驱动SIC MOSFET状态的接收端欠压保护电路16、接收端过温保护电路17、接收端过流保护电路18分别提供的欠压保护信号UVLO_P、过温保护信号OTP_P和过流保护信号OCP_P,将通过保护通道调制发送电路9、第二高压隔离电路12和数据通道高共模瞬态抑制差分信号接收电路4,反馈传输到发送端得到误差信号Error,一方面反馈给数据通道数字控制电路2,另外还输出给外部CPU控制器。

[0054] 本发明高压SiC MOSFET栅驱动电路的基本输入接收电路1结构如图2所示,采用了两通道相同的输入接收电路,每通道接收电路包含输入ESD保护电路、电平判别电路和中压电平移位电路。输入接收电路1不仅要完成信号的传输,还要完成对芯片内部电路的ESD保护,防止由于ESD造成对电路内部的冲击而损毁电路。常用于集成电路设计的ESD保护的电路有:横向SCR钳位电路、反向并联二极管钳位电路、齐纳钳位电路和CDM钳位等。电平判别电路用于识别外部输入电平是逻辑“0”还是“1”,由于外部信号存在很大干扰,电平判别电路必须具备足够的抗干扰噪声容限,具体电路实现通常包括2种形式,一种为Schmitt触发器,一种为迟滞比较器。根据驱动芯片驱动对象和输入逻辑信号的速度不同,Schmitt触发器和迟滞比较器的实现电路存在很大差异。由于栅驱动芯片的供电电压VCC通常为10~20V的中压电平,而输入逻辑电平为低于5V的外部数字逻辑,为更精确地完成对输入逻辑电平的判断,输入ESD和电平判别电路必须使用相对更低的电源电压VCL,通常为3-10V电压。因

此电平判别电路输出的逻辑信号在进入芯片内部控制逻辑之前,必须经过一个中压电平移位电路将高电平为VCL的逻辑信号转换为高电平为VCC的逻辑信号,得到Din和Adjin信号。

[0055] 本发明数字控制电路的作用在于综合芯片状态监测信号,对电路是否正常做出判断,当芯片异常时关断数据输出。实施例中提供的一种数字控制电路实现方式如图3所示,该电路由组合逻辑门构成。该电路实现的控制过程如下:当电路发生过流(OCP有效)、过温(OTP有效)或者电源电压欠压(UVLO有效)时,图中第一行的错误逻辑电路输出低电平信号,指示电路发生异常,封锁两路输出DxP和DxN;当解除过流及过温警报、电源恢复正常工作电压时,错误逻辑电路立即输出高电平信号,指示电路工作正常。图3中以数据通道数字控制电路2的信号为例进行标识。其输出还受来自外部的控制信号Adjin和来自数据通道高共模瞬态抑制差分信号接收电路4的误差信号Error控制。所述保护通道数字控制电路10也可以采用相同的数字控制电路实现,区别是不用连接信号Adjin、Error和Din。

[0056] 图4为本发明调制发送电路结构图,该电路采用的调制方案为脉冲计数调制,使用双脉冲刻画输入信号上升沿、单脉冲刻画输入信号下降沿的方法,分离输入信号的上升、下降沿,生成对应的脉冲驱动信号。本发明的调制发送电路采用了2组图4所示电路,图中的信号以数据通道调制发送电路5为例进行标识:DxP为输入数据,R1和R2为高频的刷新信号,输出为调制后的脉冲信号TxN。刷新信号R1和R2分别对应着下降沿单脉冲和上升沿双脉冲的刷新指令信号,在信号为高时电路正常工作,在信号为低时执行刷新操作对电路进行刷新。该电路中除了逻辑门之外,还有用于延时的DELAY模块,由反相器、电容、施密特触发器构成。延时的具体长短是可控的,可通过改变电容的大小或者反相器的个数来实现延时时间控制。而在电容后接入施密特触发器是为了避免电容两端电压不稳定带来的不确定性影响。

[0057] 由于发送端电路和接收端电路之间的衬底电位存在很大的电压差,高、低压电路之间必须进行电气隔离。由于功率半导体器件的应用场景存在很大差异,高、低电压区最大值之间存在的压差VGND等于(Vgnd1-Vgnd2)可以从40V跨度到6500V。VGND大小直接决定了芯片内部的电气隔离等级,而在芯片内部实现不同等级的电气隔离组成电路,所需要采用的电路器件技术和成本质量等级存在较大差异。本发明采用电容隔离的绝缘隔离技术将高低压信号处理电路在物理空间上隔离开,实现超过3000V的超高压电气隔离。

[0058] 图1给出的本发明实现方案中,发送端电路与接收端电路各自连接于接地电压Vgnd1和Vgnd2,其中所设置的隔离电路旨在将这两个接地电压Vgnd1和Vgnd2隔绝开来。然而,由于在该两个接地电压Vgnd1和Vgnd2之间通常会存在有一定程度的共模瞬时噪声,将使得信号在传输过程中产生错误。通常定义共模瞬时噪声VGND等于(Vgnd1-Vgnd2)的电压差值,对于1200V SiC MOSFET的典型应用场景,共模瞬时噪声VGND将会周期性地从0V快速升高到1200V,再由1200V快速降低到0V。则在此共模瞬时噪声VGND的干扰下,将使得接收端Vcm($V_{cm} = (R_{xP} + R_{xN}) / 2$)电压产生尖峰误差,不可避免的引起接收端电路数据错误,并且随着开关频率增加共模瞬时噪声影响将进一步恶化。因此,为实现SiC MOSFET器件的高可靠驱动,对共模瞬态噪声进行有效抑制,本发明采用了高共模瞬态抑制差分信号接收电路。

[0059] 本发明中,保护通道高共模瞬态抑制差分信号接收电路6和数据通道高共模瞬态抑制差分信号接收电路4采用相同的高共模瞬态抑制差分信号接收电路实现。图5是本发明高共模瞬态抑制差分信号接收电路结构图,图中的信号以保护通道高共模瞬态抑制差分信

号接收电路6为例进行标识,该电路包括:差分输入接收电路1、X级前后级联的共模可调放大电路602(CM1~CMX)、高灵敏度共模可调放大电路603(CMN)、第一输出整形电路604和共模自适应调整电路605。差分输入接收电路1首先接收到图2中所示发送端电路通过隔离电路10耦合进来的差分信号(正端接收信号R_{xP}和负端接收信号R_{xN}),经滤波处理得到正端输入信号V_{ip}和负端输入信号V_{in};V_{ip}和V_{in}进入X级前后级联的共模可调放大电路602的第一级共模可调放大电路CM1,最终得到第X级共模可调放大电路的正端输出信号V_{oXp}和负端输出信号V_{oXn};V_{oXp}和V_{oXn}分别连接高灵敏度共模可调放大电路603(CMN)的正输入端和负输入端,得到高灵敏度共模可调放大电路603的差分输出信号(正端输出信号V_{oNp}和负端输出信号V_{oNn});第一输出整形电路604根据V_{oNp}和V_{oNn}的大小,经处理得到最终的数据输出Dout。所述共模自适应调整电路605根据电源和地电压信号的变化,自适应产生用于各级放大电路的共模调整信号C11,C12,C21,C22,⋯,CX1,CX2,CN1,CN2,共模自适应调整电路605产生的共模调整信号C11和C12分别连接到第一级共模可调放大电路CM1的共模调整信号输入端;共模调整信号C21和共模调整信号C22分别连接到第二级共模可调放大电路CM2的共模调整信号输入端;⋯⋯以此类推,共模调整信号CX1和共模调整信号CX2分别连接到第X级共模可调放大电路CMX的共模调整信号输入端;共模调整信号CN1和共模调整信号CN2分别连接到高灵敏度共模可调放大电路603(CMN)的共模调整信号输入端。其中,X为大于1的正整数,N为大于X的正整数。

[0060] 图5中共模自适应调整电路605内部自动检测接收电路电源电压VDD和地电位V_{gnd2}波动引起的瞬态共模噪声大小,并在瞬态共模噪声超过一定阈值时,调整共模调整信号C11,C12,C21,C22,⋯,CX1,CX2,CN1,CN2的值并对应输出给X级前后级联的共模可调放大电路CM1~CMX和高灵敏度共模可调放大电路603(CMN),从而调整X级前后级联的共模可调放大电路CM1~CMX和高灵敏度共模可调放大电路3的共模电平,使之补偿瞬态共模噪声的影响。除共模自适应调整之外,本发明还采用了高可靠第一输出整形电路604,采用RC低通滤波和施密特触发器组合滤波,以滤除高频噪声的影响,最终得到不受瞬态共模噪声影响的数据输出Dout。

[0061] 图6为本发明差分输入接收电路601的一种实现方式,该电路由正端隔离电容C51、正端接地电阻R51、正端耦合电容C52、正端共模电阻R53、负端隔离电容C53、负端接地电阻R52、负端耦合电容C54、负端共模电阻R54和接收共模产生电路6011构成。所述正端隔离电容C51的左端和负端隔离电容C53的左端分别连接到正端接收信号R_{xP}和负端接收信号R_{xN};正端隔离电容C51的右端连接到正端接地电阻R51的下端和正端耦合电容C52的左端;负端隔离电容C53的右端连接到负端接地电阻R52的下端和负端耦合电容C54的左端;正端耦合电容C52的右端连接到正端共模电阻R53的上端,并作为正端输入信号V_{ip}的输出端;负端耦合电容C54的右端连接到负端共模电阻R54的下端,并作为负端输入信号V_{in}的输出端;正端共模电阻R53的下端和负端共模电阻R54的上端相连,并同时连接到接收共模产生电路6011的共模输出端V_{icm}。

[0062] 图6所述电路中正端隔离电容C51和负端隔离电容C53均为高压电容,电容尺寸通常达到几十fF;正端耦合电容C52和负端耦合电容C54均为低压电容,其电容值也相对较小。正端接收信号R_{xP}和负端接收信号R_{xN}从输入到输出,经过2级隔直耦合滤波,得到正端输入信号V_{ip}和负端输入信号V_{in}。正端输入信号V_{ip}和负端输入信号V_{in}的共模电平,由接收共

模产生电路6011提供。

[0063] 图7为本发明接收共模产生电路6011的一种实现方式。该电路由NMOS管M60、NMOS管M61、PMOS管M62、NMOS管M63、PMOS管M64、PMOS管M65、NMOS管M66、NMOS管M67、PMOS管M68、NMOS管M69、PMOS管M610、NMOS管M611、PMOS管M612、NMOS管M613、NMOS管M614、PMOS管M615和电阻R61构成；其中，PMOS管M64、PMOS管M65、NMOS管M66、NMOS管M67、PMOS管M68和NMOS管M69构成施密特触发器600。

[0064] 所述NMOS管M60的栅极连接到输入共模电压 V_{cm} ；NMOS管M60的漏极连接到PMOS管M62的漏极和栅极、以及NMOS管M63的栅极；NMOS管M61的栅极连接到输入共模控制信号 V_{ctrl} ；NMOS管M61的漏极和NMOS管M63的漏极相连，并连接到所述施密特触发器600的输入端；所述施密特触发器600的输出端同时连接到PMOS管M610、NMOS管M611、PMOS管M612和NMOS管M613的栅极；PMOS管M610的漏极和NMOS管M611的漏极相连，还连接到NMOS管M614的栅极；PMOS管M612的漏极和NMOS管M613的漏极相连，还连接到PMOS管M615的栅极；NMOS管M614的源极和PMOS管M615的源极相连，还作为所述共模输出端 V_{icm} 的输出端口；NMOS管M614的漏极连接到高输入共模电平 V_{cmh} ，PMOS管M615的漏极连接到低输入共模电平 V_{cml} ；NMOS管M613的源极连接到电阻R61的上端；NMOS管M60的源极、NMOS管M61的源极、NMOS管M611的源极和电阻R61的下端，同时连接到地电压；PMOS管M62的源极、NMOS管M63的源极、PMOS管M64的源极和PMOS管M610的源极同时连接到电源电压。这个电路的接地端子均连接接收电路地电压。

[0065] 图7所示电路的功能在于根据输入共模 V_{cm} 的变化，动态跟踪调整共模输出端 V_{icm} 的大小，减小输入共模的影响。假设输入共模 V_{cm} 减小，则施密特触发器600的输入端将会同步减小，假设该波动超过施密特触发器600的阈值，则施密特触发器600输出将会变为高电平，PMOS管M615将会导通，共模输出端 V_{icm} 将输出低输入共模电平 V_{cml} ，使之匹配和输入共模变化；假设输入共模 V_{cm} 增大，并超过施密特触发器600的阈值，则NMOS管M614导通，共模输出端 V_{icm} 将输出高输入共模电平 V_{cmh} ；可以看出，对于不同的输入共模波动，图7电路均可以实现输入共模变化的动态补偿。图7所示电路中，为使共模输出端 V_{icm} 更好的实现共模信号输出，采用NMOS管传输高输入共模电平 V_{cmh} ，采用PMOS管传输低输入共模电平 V_{cml} 。

[0066] 图8为本发明共模可调放大电路的一个级联单元一种实现方式。该电路为全差分单级放大电路，该电路左侧包括通过漏极串联的PMOS管M71和NMOS管M73；所述PMOS管M71的源极连接电源VDD，PMOS管M71的栅极和源极之间连接电容C71，PMOS管的栅极和漏极之间连接偏置电阻R71；所述NMOS管M73的漏极输出负端输出信号 V_{o1n} 连接到下一个级联单元的负输入端（第二个级联单元输出负端输出信号 V_{o2n} 到下一个级联单元，以此类推），NMOS管M73的栅极连接共模可调放大电路602的正输入端 V_{ip} ；该电路的右侧包括：通过漏极串联的PMOS管M72和NMOS管M74；所述PMOS管M72的源极连接电源VDD，PMOS管M72的栅极和源极之间连接电容C72，PMOS管M72的栅极和漏极之间连接偏置电阻R72；所述NMOS管M74的漏极输出正端输出信号 V_{o1p} 到下一个级联单元的正输入端（第二个级联单元输出正端输出信号 V_{o2p} 到下一个级联单元，以此类推），NMOS管M74的栅极连接共模可调放大电路602的负输入端 V_{in} ；所述放大电路两侧的PMOS管M71和PMOS管M72源极并联，NMOS管M73和NMOS管M74的源极并联；所述NMOS管M73和NMOS管M74的源极连接对地NMOS管M75、NMOS管M76和NMOS管M77的漏极；所述对地NMOS管M75的栅极连接偏置电压 V_{b1} ，提供放大器正常工作所需的偏置电流；所

述NMOS管M76和NMOS管M77的栅极分别连接到共模调整信号C11和C12。

[0067] 从8的电路可以看出,通过改变共模调整信号C11和C12的大小,流过NMOS管M73和NMOS管M74的偏置电流就会发生改变,级联单元的负端输出信号Vo1n和正端输出信号Vo1p的输出电压就会对应的同时发生改变,从而实现输出共模电压的调整。本发明采用多级如图9所示的相同的共模可调放大电路前后级联,由第X级共模可调放大电路CMX输出正端输出信号VoXp和负端输出信号VoXn,最终实现共模噪声的动态补偿。

[0068] 图9为本发明高灵敏度共模可调放大电路603的一种实现方式。该电路为前后两级全差分放大电路,前级共模可调放大电路采用和图9类似的放大电路结构,后级放大电路为差动差分放大电路(DDA)。所述前级共模可调放大电路的正输入端即高灵敏度共模可调放大电路603的正输入端,前级共模可调放大电路的负输入端即高灵敏度共模可调放大电路603的负输入端;所述差动差分放大电路的正输出端VoNp即高灵敏度共模可调放大电路603的正输出端,差动差分放大电路的负输出端VoNn即高灵敏度共模可调放大电路603的负输出端。

[0069] 所述前级共模可调放大电路的左侧包括通过漏极串联的PMOS管M81和NMOS管M83;所述PMOS管M81的源极连接电源VDD,PMOS管M81的栅极和源极之间连接电容C81,PMOS管M81的栅极还连接到偏置电阻R81的上端,PMOS管M81的漏极还连接到偏置电阻R82下端;所述偏置电阻R81下端和偏置电阻R82上端相连,还作为所述差动差分放大电路第一信号输入端;所述NMOS管M83的漏极连接PMOS管M81的漏极,还连接到所述差动差分放大电路第三信号输入端;NMOS管M83的栅极连接前级共模可调放大电路的正输入端VoXp;该电路的右侧包括通过漏极串联的PMOS管M82和NMOS管M84;所述PMOS管M82的源极连接电源VDD,PMOS管M82的栅极和源极之间连接电容C82,PMOS管M82的栅极还连接到偏置电阻R83的上端,PMOS管M82的漏极还连接到偏置电阻R84下端;所述偏置电阻R83下端和偏置电阻R84上端相连,还作为所述差动差分放大电路第二信号输入端;所述NMOS管M84的漏极连接PMOS管M82的漏极,还连接到所述差动差分放大电路第四信号输入端;NMOS管M84的栅极连接前级共模可调放大电路的负输入端VoXn;所述放大电路两侧的PMOS管M81和PMOS管M82源极并联,NMOS管M83和NMOS管M84的源极并联;所述NMOS管M83和NMOS管M84的源极连接对地NMOS管M85、NMOS管M86和NMOS管M87的漏极;所述对地NMOS管M85的栅极连接偏置电压Vb1,提供放大器正常工作所需的偏置电流;所述NMOS管M86和NMOS管M87的栅极分别连接到共模调整信号CN1和CN2。

[0070] 所述差动差分放大电路内部包括:PMOS管M88、PMOS管M89、PMOS管M812、PMOS管M813、NMOS管M810、NMOS管M811、NMOS管M814、NMOS管M815和电阻85;所述PMOS管M88的栅极为差动差分放大电路第一信号输入端,PMOS管M89的栅极为差动差分放大电路第二信号输入端,PMOS管M812为差动差分放大电路第三信号输入端,PMOS管M813为差动差分放大电路第四信号输入端;PMOS管M88的漏极和PMOS管M89的漏极相连,并连接到NMOS管M810的漏极,同时作为差动差分放大电路的正输出端VoNp;PMOS管M812的漏极和PMOS管M813的漏极相连,并连接到电阻R85的上端;电阻R85的下端连接NMOS管M814的漏极,同时作为差动差分放大电路的负输出端VoNn;NMOS管M810和NMOS管M811构成共源共栅电流源结构,NMOS管M814和NMOS管M815构成共源共栅电流源结构,NMOS管M810和NMOS管M814的栅极接相同的偏置电压Vb81,NMOS管M811和NMOS管M815的栅极接相同的偏置电压Vb82。

[0071] 图10为本发明第一输出整形电路604的实现方式,包括PMOS管M401、PMOS管M402、

PMOS管M403、PMOS管M404、PMOS管M405、PMOS管M406、PMOS管M409、NMOS管M407、NMOS管M408、NMOS管M4010、电阻R401、电阻R402、PMOS管M41、PMOS管M43、PMOS管M45、PMOS管M46、PMOS管M49、PMOS管M411、NMOS管M42、NMOS管M44、NMOS管M47、NMOS管M48、NMOS管M410、NMOS管M412、电阻R41、电阻R42和电容C41。

[0072] 其中,PMOS管M401、PMOS管M402、PMOS管M403、PMOS管M404、PMOS管M405、PMOS管M406、PMOS管M409、NMOS管M407、NMOS管M408、NMOS管M4010、电阻R401和电阻R402构成三级比较器;PMOS管M41、PMOS管M43、NMOS管M42、NMOS管M44、电阻R41、电阻R42和电容C41组成一个带RC滤波功能的缓冲器;PMOS管M45、PMOS管M46、PMOS管M49、NMOS管M47、NMOS管M48、NMOS管M410组成一个施密特触发器;PMOS管M411和NMOS管M412组成一个输出反相器。所述带RC滤波功能的缓冲器的输入端连接到所述宽电压范围比较器电路的比较输出电压 V_{o1} ,带RC滤波功能的缓冲器的输出端连接到施密特触发器的输入端,施密特触发器的输出端连接到输出反相器的输入端,输出反相器的输出端即为高共模瞬态抑制差分信号接收电路6最终的数据输出 D_{out} 。

[0073] 所述三级比较器内部电路结构为:PMOS管M401、PMOS管M402、PMOS管M403、电阻R401和电阻R402组成三级比较器的输入级,PMOS管M404、PMOS管M405、PMOS管M406、NMOS管M407、NMOS管M408组成三级比较器的放大级,PMOS管M409和NMOS管M4010组成三级比较器的输出级;所述带RC滤波功能的缓冲器内部电路连接关系为:PMOS管M41和NMOS管M42的栅极同时连接到所述三级比较器的比较输出电压,PMOS管M41和NMOS管M42的漏极同时连接到PMOS管M43和NMOS管M44的栅极,PMOS管M43的漏极连接到电阻R41的上端,电阻R41的下端连接到电阻R42的上端、电容C41的上端和施密特触发器的输入端,电阻R42的下端连接到NMOS管M44的漏极,PMOS管M41和PMOS管M43的同时源极连接到电源电压, NMOS管M42和NMOS管M44的源极以及电容C41的下端同时连接到地电压。

[0074] 图10所示的本发明的第一输出整形电路604,一方面提供了三级比较器将输入差分信号转换成一个标准的数字逻辑信号 D_{out} ;另外一方面采用RC低通滤波和施密特触发器组合滤波,保持了一定的迟滞量是为了有效滤除共模噪声引起的高频干扰影响。

[0075] 图11为本发明共模自适应调整电路605的具体实现方式,该电路包括第一共模检测电路100、共模检测信号传输电路101、调整共模信号产生电路102和共模调整信号选择电路103。所述第一共模检测电路100用于检测电源和衬底噪声,并在噪声大于一定阈值时改变共模检测信号 V_{cm_det} 的大小,共模检测信号 V_{cm_det} 连接到共模检测信号传输电路101, V_{cm_det} 经过共模检测信号传输电路101产生共模选择开关控制信号 $N_{11}, N_{12}, N_{21}, N_{22}, \dots, N_{X1}, N_{X2}$ 以及 NN_1, NN_2 ,并输出到共模调整信号选择电路103;共模调整信号选择电路103根据上述共模选择开关控制信号产生和调整共模调整信号 $C_{11}, C_{12}, C_{21}, C_{22}, \dots, C_{X1}, C_{X2}$ 以及 CN_1, CN_2 的大小并输出;调整共模信号产生电路102用于产生共模调整信号选择电路103需要的各类共模偏置信号,并输出到共模调整信号选择电路503。

[0076] 图11所示电路中,所述共模检测信号传输电路101采用分布式的反相器链实现,共模检测信号 V_{cm_det} 经过分布式的N组反相器链传播,得到N组共模控制信号。所述调整共模信号产生电路102,由电源电压VDD到SW的一条偏置信号通路,产生高输入共模电平 V_{cmh} 和低输入共模电平 V_{cm1} 。对于 V_{cmh} 和 V_{cm1} 的实现方式,图中给出的是一种硬件开销最小的实现方式,采用基准电压分压或者LDO等其他电路同样可以实现相同功能,在此不再描述。所

述共模调整信号选择电路103其内部电路为开关选择阵列,开关阵列根据共模选择开关控制信号N11,N12,N21,N22,⋯,NX1,NX2以及NN1,NN2的值,决定共模调整信号C11,C12,C21,C22,⋯,CX1,CX2以及CN1,CN2的输出。

[0077] 图12,13为本发明共模检测电路实现方式及工作波形。所述共模检测电路用于检测电源和衬底噪声,并在噪声大于一定阈值时改变共模检测信号Vcm_det的大小,以控制图11中给出的共模自适应调整电路的输出。所述共模检测电路由PMOS管M111、PMOS管M112和NMOS管M113构成;其中,PMOS管M111的栅极和漏极相连,并连接到PMOS管M112的漏极和NMOS管M113的栅极;PMOS管M112的栅极和NMOS管M113的漏极相连,并作为共模检测信号Vcm_det的输出节点;PMOS管M111和PMOS管M112的源极连接电源电压,NMOS管M113的源极连接到地电压。

[0078] 以第一共模检测电路100的工作电压为例。典型高压半桥栅驱动电路分为高侧和低侧两路驱动电路通道,高侧驱动电路采用自举升压的方式实现信号传输控制。假设电路工作在半桥栅驱动芯片的高侧驱动电路中,Vgnd2连接的是半桥输出SW,SW在0和VGND之间摆动;VDD连接到高侧驱动电路的电源电压VHB,VHB由自举电容在SW电位基础上自举浮动,故正常工作时自举电压 $VDD = VHB = SW + VCC$ 。由于电容自举充电也需要一定的充电时间,在电容充电过程中,自举电压不能完全同步SW的波动,这势必导致VDD相对SW存在一定的延时,在延时区间内电源和地之间的压差不严格等于VCC,相当于电源共模噪声,该噪声幅度足够大时势必影响电路功能,产生比较器的误触发。

[0079] 如图13右侧波形所示,在半桥输出SW稳定时,VDD和Vgnd2电压处于稳定状态,M111导通,M113导通,Vcm_det将会被M113拉低到Vgnd2,处于低电平;当半桥输出SW由0向VGND切换时,Vgnd2电压同步向VGND切换,但是VDD存在一定延时,产生一定的延时区间,在延时区间内VDD还未达到VGND+VCC,M113的栅极电压不足以让M113导通,M113将关闭,在寄生电容的作用下Vcm_det将会受Vgnd2影响产生一个尖峰高脉冲,直到VDD达到VGND+VCC,此时M113重新导通,Vcm_det将会被M113拉低到Vgnd2。

[0080] 如图1所示,本发明电容隔离SiC MOSFET驱动芯片的总体隔离是由两组串联设置的隔离电容(Ctp和Crp构成一组P端串接隔离电容、Ctn和Crn构成一组N端串接隔离电容)实现耐压隔离,中间通过压焊线(Bonding wire)连接两个串接隔离电容的上极板,所以电容隔离器芯片的总体耐压值是串接电容中两个电容耐压值相加。通常SiO₂的耐压值在500V/μm左右,一般的0.18μm的CMOS工艺,若第一层M1做隔离电容的下极板,第六层M6做隔离电容的上极板,则金属层之间的SiO₂厚度总厚度,大概为6~7μm左右,也就是说单个隔离电容的耐压大约为3000V~3500V,两个隔离电容的耐压大概在6000V~7000V之间。这个耐压能满足普通常规的应用,并不能满足超高压隔离的耐压要求。

[0081] 如图14所示,本发明提供一种超高耐压隔离电容,所述超高耐压隔离电容包括:深N阱隔离区DNWELL 50、下极板(第一层M1) 51、上极板54以及自下而上设置于下极板51和上极板54之间的SiO₂层52和钝化层53,所述钝化层53为SiO₂和Si₃N₄的叠加。其中,SiO₂层厚度主要为VIA12,M2(第二层),VIA23,M3(第三层),VIA34,M4(第四层),VIA45,M5(第五层),VIA56,M6(第六层),相加厚度为8~9μm,钝化层53的厚度为2~3μm。所述钝化层53中Si₃N₄叠加设置于SiO₂上方,因为Si₃N₄具有比SiO₂的更好的致密性和耐压性。上极板54采用金属Cu制成,上极板54是通过晶圆后端加工而成,在钝化层53上面生成一层金属Cu,该金属Cu同时

也作为焊盘PAD。下极板51下方是深N阱隔离区DNWELL 50,深N阱隔离区50的下方是晶圆的衬底;所述深N阱隔离区50面积应大于下极板51的平面面积,并且全部覆盖下极板51的下表面。

[0082] 本发明提供了一种超高耐压隔离电容方案,通过工艺调节,控制钝化层的厚度为2.5um左右,单个的隔离电容的厚度大概为12um左右,耐压值能达到6000V,因此两个隔离电容串联的总体厚度约为24um,总体耐压值能达到12000V,能满足增强隔离的要求,隔离电容增厚后电容值减小,可以适当的增加隔离电容极板的面积,使隔离电容的电容值基本保持不变,整体的隔离信号传输质量不受影响。

[0083] 低压供电电路是任何模拟IC都必须配备的一种基础功能模块,本发明的发送端低压产生电路3和接收端低压产生电路8可以使用的实现结构框图如图15所示。该电路内部包含:启动电路801、带隙基准电压产生电路802、参考电压产生电路及缓冲器电路803、偏置信号产生电路804、输入低电压产生电路805。以发送端低压产生电路3为例,芯片VCC电压上电之后,启动电路801是整个芯片中最先开启的电路,启动电路通常会提供一定的初始偏置信号,给带隙基准电压产生电路802产生一个固定基准电压和基准电流;所述基准电压接着通过参考电压产生电路来产生芯片内部工作所需要的各类参考电压 V_{R1} 、 $V_{R2} \sim V_{Rn}$,通过缓冲器电路输出;所述基准电流通常进入偏置信号产生电路804,产生各类偏置信号用于给芯片内其他模拟电路提供偏置,同时也给参考电压产生电路和输入低电压产生电路805提供偏置。输入低电压产生电路805通常产生3-10V可浮动的低压电源电压VCL。

[0084] 图16是本发明高精度宽电压范围的过温保护电路结构图。本发明的电路包括一个钳位电路1401、温度检测电路1402、宽电压范围比较器电路1403和第二输出整形电路1404。所述温度检测电路1402根据钳位电路1401提供的偏置电压Vb,得到第一温度检测输出信号Vin1和第二温度检测输出信号Vin2;所述宽电压范围比较器电路1403将第一温度检测输出信号Vin1和第二温度检测输出信号Vin2进行比较,得到比较输出信号Vo1;所述第二输出整形电路1404将比较输出信号Vo1进行处理得到温度保护信号OTLock和OTP,OTLock为数字逻辑信号,OTLock将连接到钳位电路1401用于控制偏置电压Vb大小,OTP作为一个控制信号输出给数字控制电路。

[0085] 当芯片温度正常时,温度保护信号OTLock为高电平,OTLock高电平将控制钳位电路1401产生一个较高的偏置电压Vb;温度检测电路1402根据偏置电压Vb和温度信号产生第一温度检测输出信号Vin1和第二温度检测输出信号Vin2。正常情况下宽电压范围比较器电路1403根据第一温度检测输出信号Vin1和第二温度检测输出信号Vin2得到的比较输出信号Vo1应该为高电平信号;第二输出整形电路1404将比较输出信号Vo1进行处理得到温度保护信号OTLock也为高电平逻辑信号。

[0086] 当芯片温度异常时,温度检测电路1402产生的第一温度检测输出信号Vin1和第二温度检测输出信号Vin2将会出现变化,宽电压范围比较器电路1403根据第一温度检测输出信号Vin1和第二温度检测输出信号Vin2得到的比较输出信号Vo1变为低电平信号,第二输出整形电路1404得到的温度保护信号OTLock也改变为低电平逻辑信号,温度保护信号OTLock变为低电平,OTLock低电平将控制钳位电路1401产生一个较低的偏置电压Vb,偏置电压Vb将会进一步改变第一温度检测输出信号Vin1和第二温度检测输出信号Vin2的大小,使得宽电压范围比较器电路1403的比较输出信号Vo1进一步锁定为低电平信号。

[0087] 由于高压栅驱动芯片正常工作时,其电源电压和衬底电位通常存在巨大的波动,产生非常严重的共模噪声。本发明为克服共模噪声的严重影响,一方面采用宽电压范围比较器电路1403将温度检测电路1402产生的第一温度检测输出信号 V_{in1} 和第二温度检测输出信号 V_{in2} 进行比较,所述宽电压范围比较器电路1403可自动检测电源电压和衬底电位产生的共模噪声,并在共模噪声超过一定阈值时自动关闭宽电压范围比较器电路1403的输出,使得比较输出信号 V_{o1} 的有效性不受共模噪声的影响。另一方面,第二输出整形电路1404进一步采用RC低通滤波和施密特触发器组合滤波,以滤除高频噪声的影响,从而产生稳定可靠的温度保护输出信号 $OTLock$ 。

[0088] 图17为本发明钳位电路1401的一种实现方式,该电路由PMOS管M11、NMOS管M12、NMOS管M13、电阻R11、电阻R12和电阻R13组成;PMOS管M11的源极连接电阻R11的上端,并同时连接到电源电压;PMOS管M11的栅极连接NMOS管M12的栅极,并同时连接到温度保护信号 $OTLock$;PMOS管M11的漏极连接NMOS管M12的漏极,并同时连接到NMOS管M13的栅极;NMOS管M12的源极连接电阻R13的下端和NMOS管M13的源极,并同时连接到地电压;NMOS管M13的漏极同时连接电阻R13的上端和电阻R12的下端;电阻R12的上端和电阻R11的下端相连,并作为钳位电路1401的偏置电压 V_b 输出节点。

[0089] 所述的钳位电路101中电源电压VCC被分压电阻R11,R12和R13实时分压检测,分压得到的电压值 V_b 输入温度检测电路1402,R13电阻值受M13控制,而M13的开和关受 $OTLock$ 信号控制。当 $OTLock$ 信号为高电平时,M13的栅极为低,M13处于关闭状态,R13为大电阻,分压得到的电压值 V_b 为较高的偏置电压;当 $OTLock$ 信号为低电平时,M13的栅极为高,M13处于导通状态,R13被M13短路为很小电阻,此时分压得到的电压值 V_b 为较低的偏置电压。

[0090] 图18为本发明温度检测电路1402的一种实现方式,该电路由PMOS管M21、PMOS管M22、电阻R21、三极管Q1和三极管Q2组成;三极管Q1和三极管Q2的基极相连,并连接到钳位电路101的偏置电压 V_b 输出节点;三极管Q1的发射极连接到PMOS管M21的栅极和漏极,其节点电压作为第一温度检测输出信号 V_{in1} ;三极管Q2的发射极连接到PMOS管M22的栅极和漏极,其节点电压作为第二温度检测输出信号 V_{in2} ;PMOS管M21的源极和PMOS管M22的源极相连,并连接到电源电压;三极管Q2的集电极连接到电阻R21的上端;电阻R21的下端连接到三极管Q1的集电极,并连接到地电压GND。其中,PMOS管M21和PMOS管M22的宽长比相等,三极管Q1和三极管Q2的基极面积比为1:N(N为自然数)。

[0091] 图18中电路温度检测采用的原理为三极管 V_{be} 结电压具有负温度系数特性,并且不同电流密度的 V_{be} 结的负温度系数不同,因此在相同的偏置电压条件下,不同电流密度的两个 V_{be} 结上产生的电压随温度变化会产生一个电压差,并且该电压差随温度变化成线性增大关系。图18中三极管Q1和三极管Q2的基极面积比为1:N,二者发射极分别输出电压,第一温度检测输出信号 V_{in1} 和第二温度检测输出信号 V_{in2} 将会产生一个随温度线性变化的压差 $V_t = V_{in1} - V_{in2}$ 。通过调整电阻R21的大小,当温度较低时,设置 V_t 为小于0的一个负值;则温度升高时,由于三极管Q2的基极面积更大,第二温度检测输出信号 V_{in2} 值将会以更快的速度降低,压差 V_t 将会随温度升高而升高;当温度超过一定值时, V_t 将会由负电压转为正电压,此时所述宽电压范围比较器电路103的比较输出电压 V_{o1} 将发生变化,输出电压 V_{o1} 产生一个由高到低的变化。当三极管Q1和三极管Q2的基极电压 V_b 降低时,压差 V_t 将会进一步增大,从而锁定比较输出电压 V_{o1} 。

[0092] 图19为本发明宽电压范围比较器电路1403实现方式,该电路由PMOS管M31、PMOS管M33、PMOS管M35、PMOS管M36、PMOS管M37、PMOS管M39、NMOS管M32、NMOS管M34、NMOS管M38、NMOS管M310和第二共模检测电路1031构成。PMOS管M31的栅极连接到第一温度检测输出信号 V_{in1} ,PMOS管M33的栅极连接到第二温度检测输出信号 V_{in2} ;PMOS管M31的漏极连接到NMOS管M32的漏极和栅极、NMOS管M34的栅极以及NMOS管M310的栅极;PMOS管M33的漏极连接到NMOS管M34的漏极和PMOS管M37的栅极;PMOS管M37的漏极连接到NMOS管M38的漏极和栅极,PMOS管M37的源极连接到PMOS管M39的栅极和PMOS管M36的漏极;PMOS管M36的源极连接到PMOS管M35的漏极,PMOS管M36和PMOS管M35的栅极都连接到共模检测电路1031的输出控制信号;PMOS管M39的漏极连接到NMOS管M310的漏极,并输出比较输出电压 V_{o1} ;PMOS管M31、PMOS管M33、PMOS管M35和PMOS管M39的源极同时连接到电源电压;NMOS管M32、NMOS管M34、NMOS管M38和NMOS管M310的源极同时连接到地电压。

[0093] 本发明图19中采用的第二共模检测电路1031及其工作原理可以采用图12中相同的实现方式。图19所述电路中,PMOS管M36和PMOS管M35的栅极控制信号为相同的共模控制信号 V_{cm_det} ,第二共模检测电路1031可自动检测电源电压和衬底电位产生的共模噪声,并在共模噪声超过一定阈值时改变共模控制信号 V_{cm_det} 。当共模噪声幅度和影响有限,未超过阈值时,共模控制信号 V_{cm_det} 为高电平,PMOS管M36和PMOS管M35均处于关断状态,PMOS管M39的栅极受PMOS管M37的源极控制;当共模噪声幅度异常,超过阈值时,共模控制信号 V_{cm_det} 为低电平,PMOS管M36和PMOS管M35均处于导通状态,PMOS管M39的栅被拉高并进入关闭状态,比较输出电压 V_{o1} 将被钳位到低电平,防止共模噪声影响比较器的正常工作。图19中比较器电路采用的各单级放大电路的负载电阻均采用有源二极管实现,因此可以工作在很宽的电源电压条件,从而进一步扩展了电路的适用电压条件。

[0094] 图20为第二输出整形电路1404的实现方式,该电路和图10中右侧的输出整形电路结构基本一致,包括依次连接的带RC滤波功能的缓冲器、施密特触发器和输出反相器。施密特触发器的输出端连接到输出反相器的输入端,输出反相器的输出端即为温度保护输出信号 $OTLock$,温度保护输出信号 $OTLock$ 经过一个反相器输出得到输出信号 OTP 。图20的输出整形电路,一方面是提供一个标准的数字逻辑信号,将比较输出电压 V_{o1} 转为标准的数字逻辑信号温度保护输出信号 $OTLock$;另外一方面是滤除共模噪声和温度波动引起的高频干扰影响。该电路采用RC低通滤波和施密特触发器组合滤波,保持了一定的迟滞量是为了有效的防止温度的热震荡,防止在某个温度点工作时,频繁的开启和关断系统,对系统造成不利影响。

[0095] 图21和图22分别为本发明欠压保护电路结构图和过流保护电路结构图,这两个保护电路的电路结构与图16给出的过温保护电路结构类似,均包括:钳位电路、宽电压范围比较器电路和输出整形电路。图21给出的欠压保护电路与图16给出的过温保护电路相比,不同的是采用电压检测电路检测电源电压的大小,得到的采样电压与参考电压信号进比较,得到输出欠压保护信号 $UVL0$ 和 $UVlock$ 信号; $UVlock$ 连接到钳位电路用于控制偏置电压 V_b 大小, $UVL0$ 作为一个控制信号输出给数字控制电路。电压检测电路采用常规的电阻分压电路即可实现。图22给出的过流保护电路与图16给出的过温保护电路相比,不同的是采用电流检测电路检测输出功率器件电流的大小,得到的采样电流通常经过一个电阻转换为电压,该电压与参考电压信号进比较,得到输出欠压保护信号 OCP 和 $OClack$ 信号。 $OClack$ 连接到钳

位电路用于控制偏置电压 V_b 大小, OCP作为一个控制信号输出给数字控制电路。

[0096] 图23为本发明输出驱动电路7的一种实现方式。输出驱动电路7的电源也采用VCC, 输出驱动电路7由多个尺寸逐级放大的反相器链和MOS管M221、M222组成, M221和M222管所在支路决定了驱动电路的输出电流, 同时也决定了电路的输出阻抗, 因此M221和M222的宽长比要根据驱动器件的要求设计。为了使输出所控制SiC MOSFET器件迅速的饱和导通和可靠关断, 要求输出驱动电路7的输出阻抗小, 输出电流大(几个安培)。

[0097] 以上所述仅为本发明的较佳实施例, 并不用以限制本发明, 凡在本发明的精神和原则之内, 所作的任何修改、等同替换、改进等, 均应包含在本发明的保护范围之内。

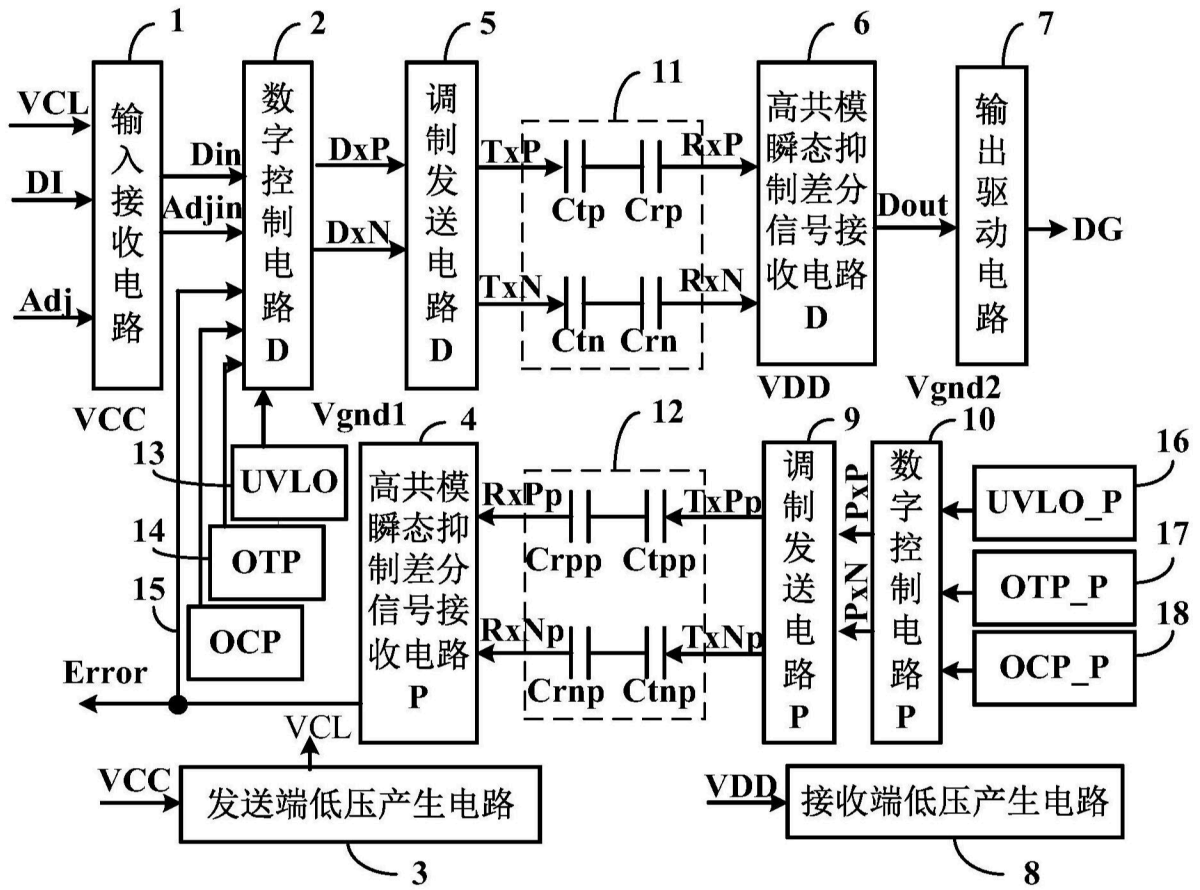


图1

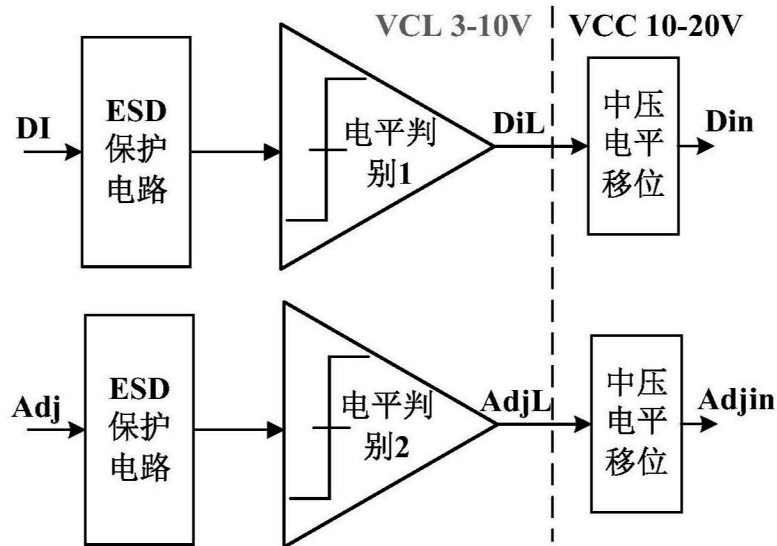


图2

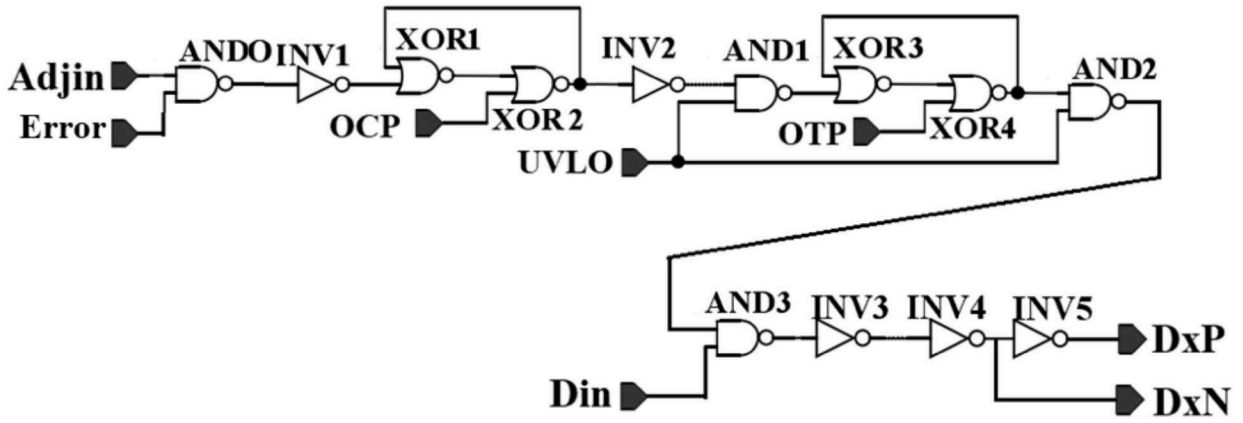


图3

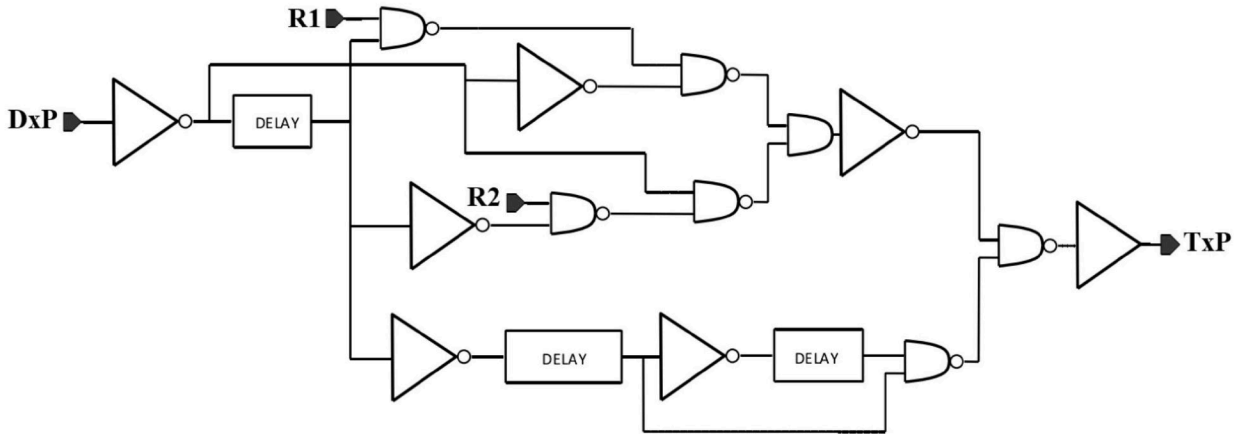


图4

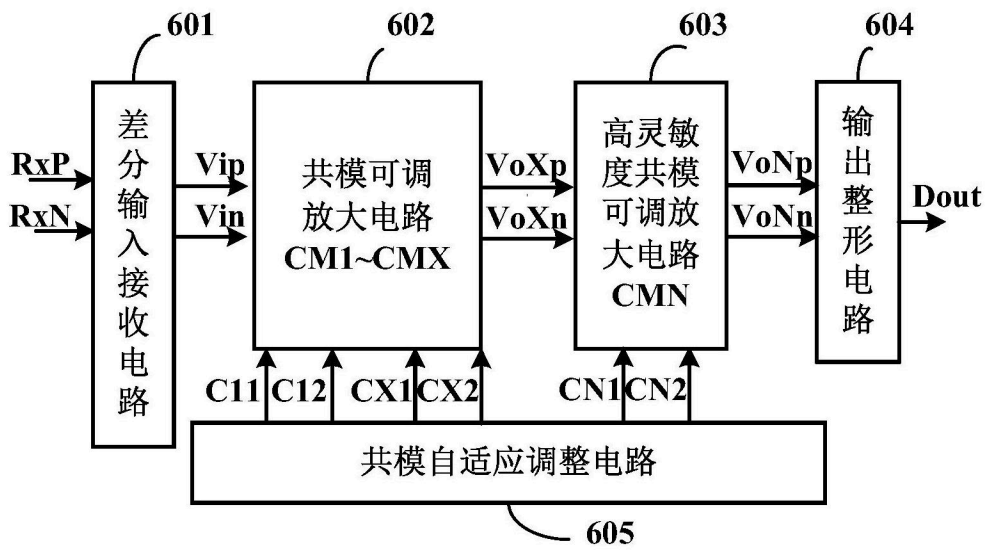


图5

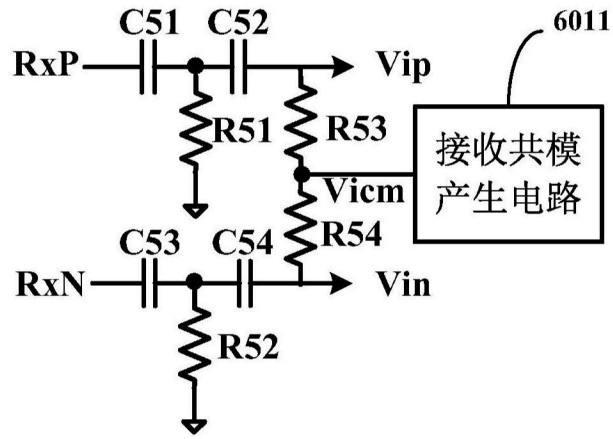


图6

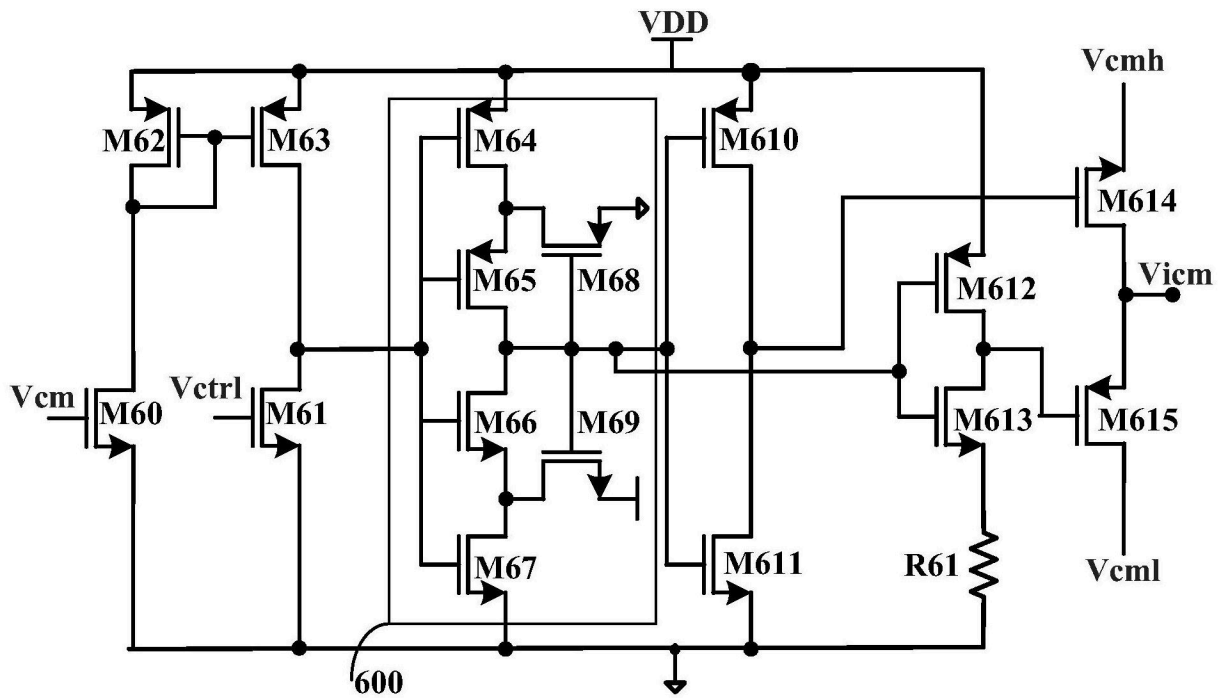


图7

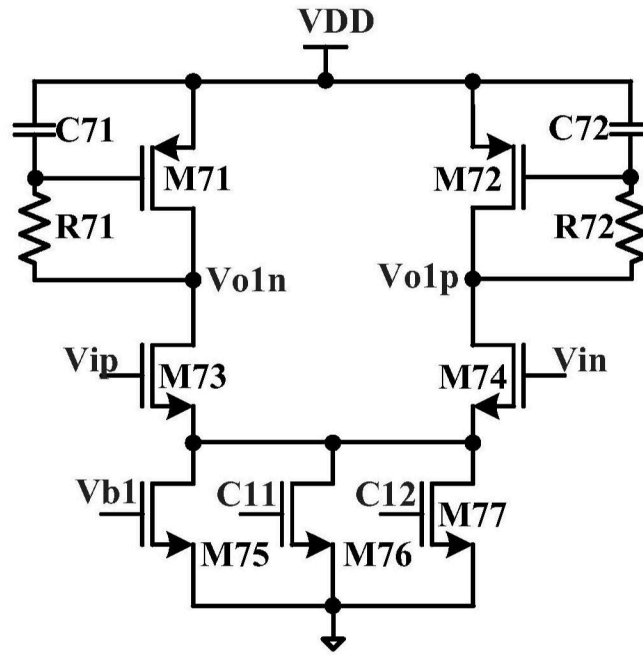


图8

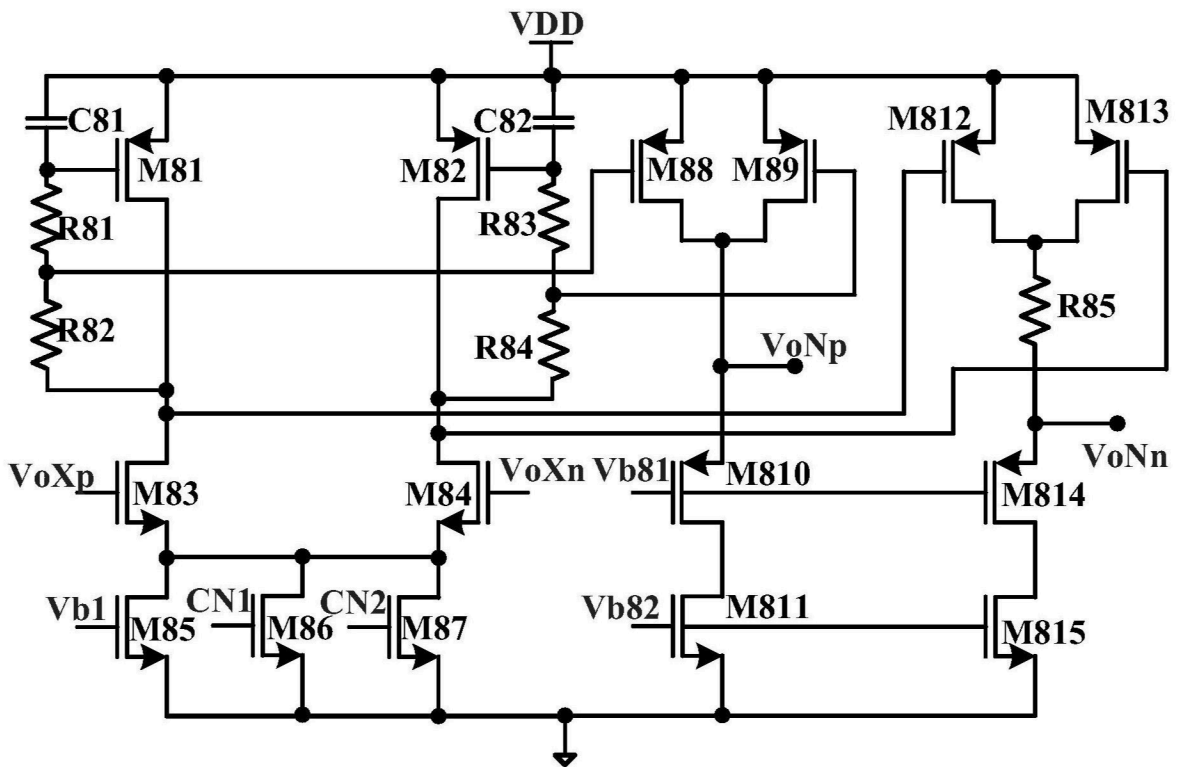


图9

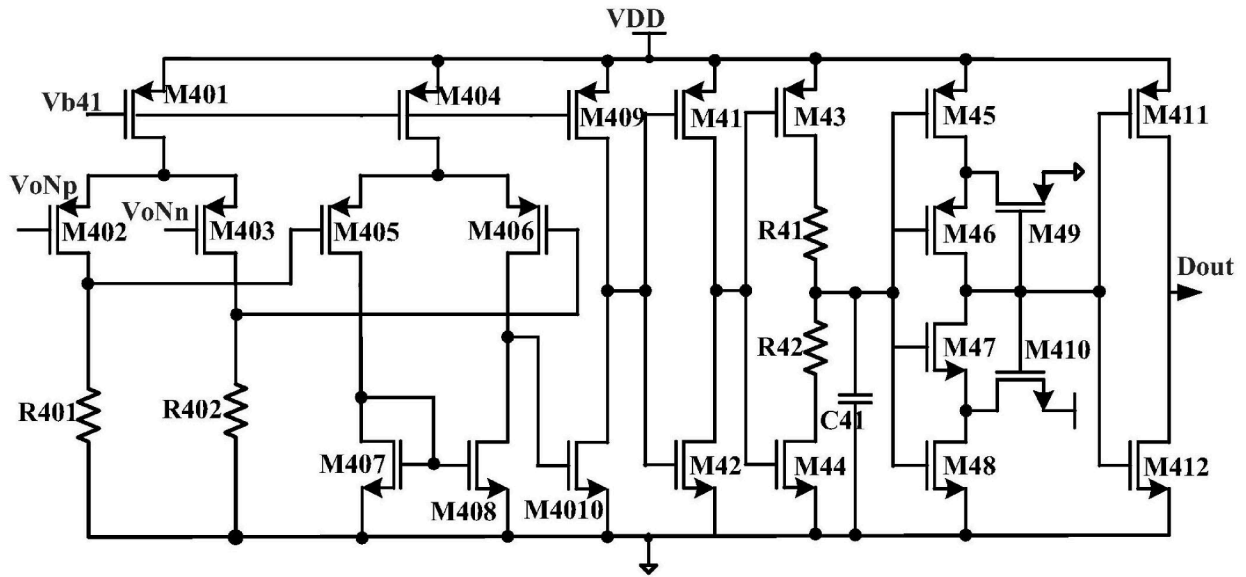


图10

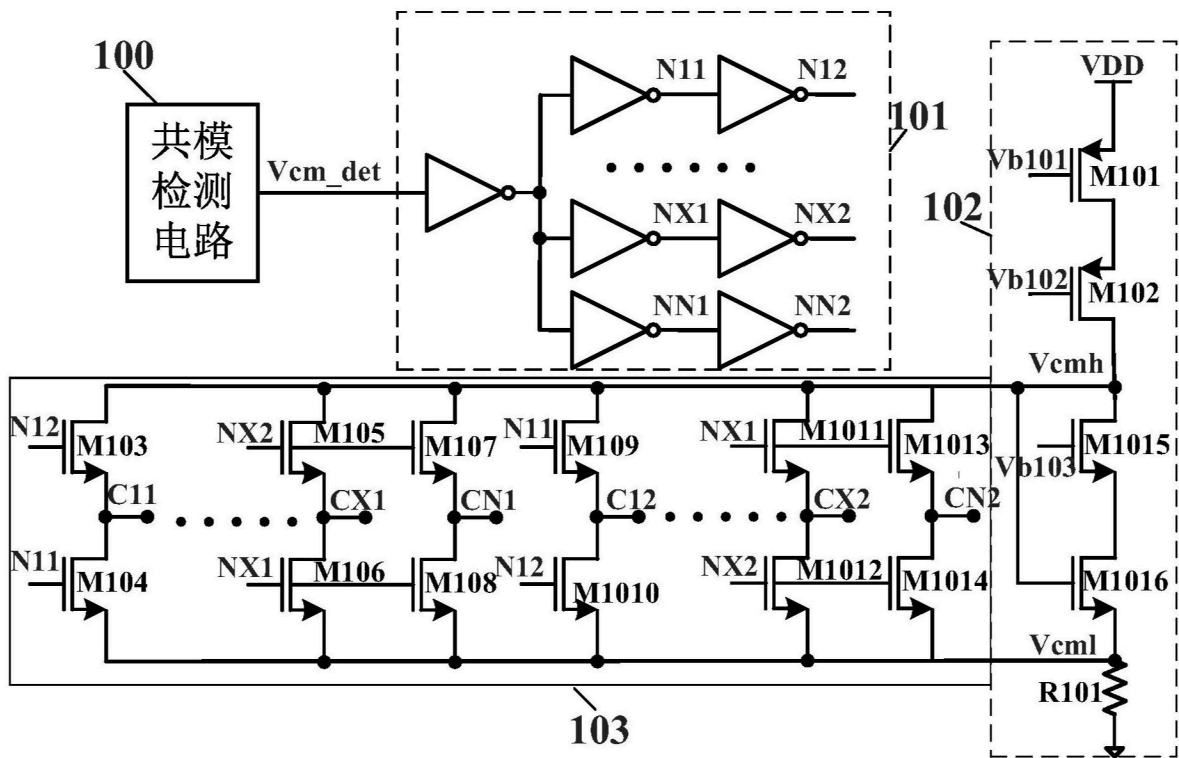


图11

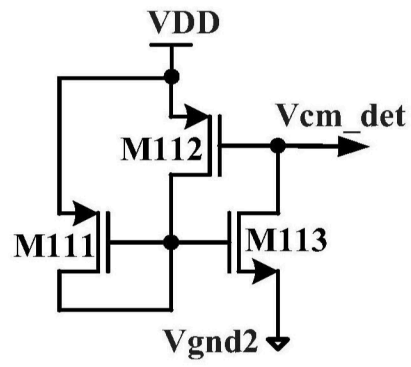


图12

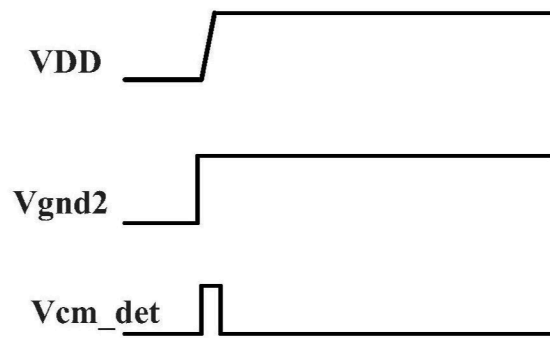


图13

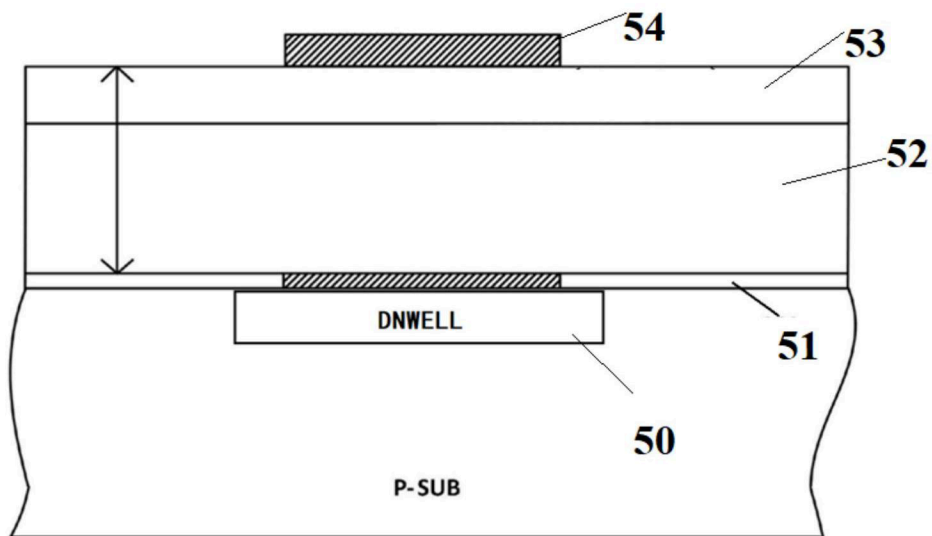


图14

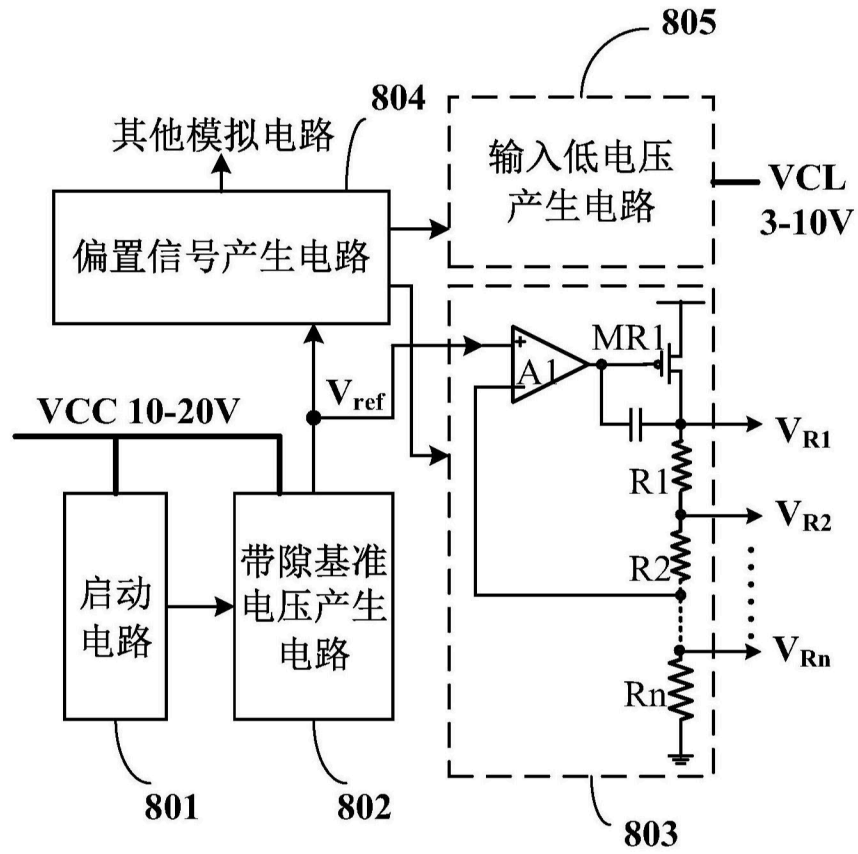


图15

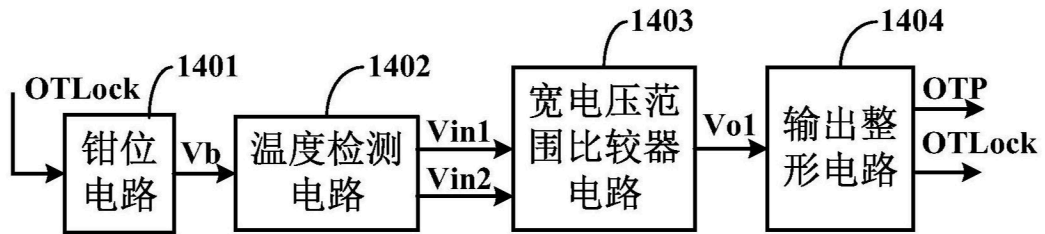


图16

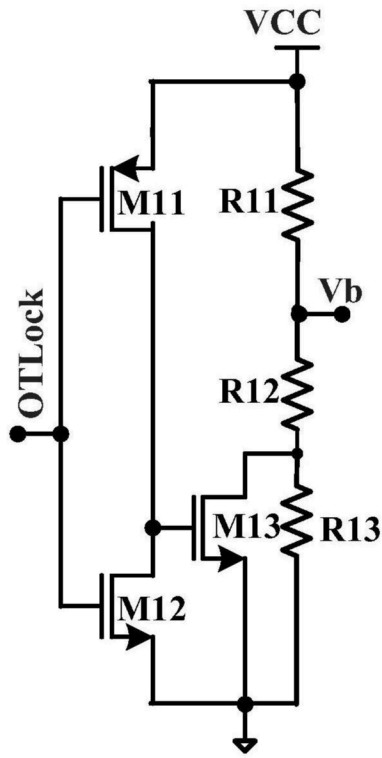


图17

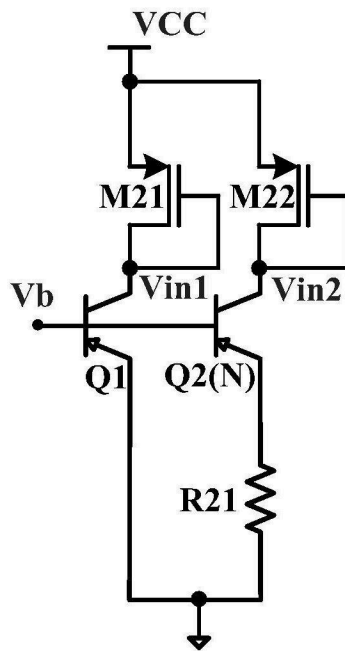


图18

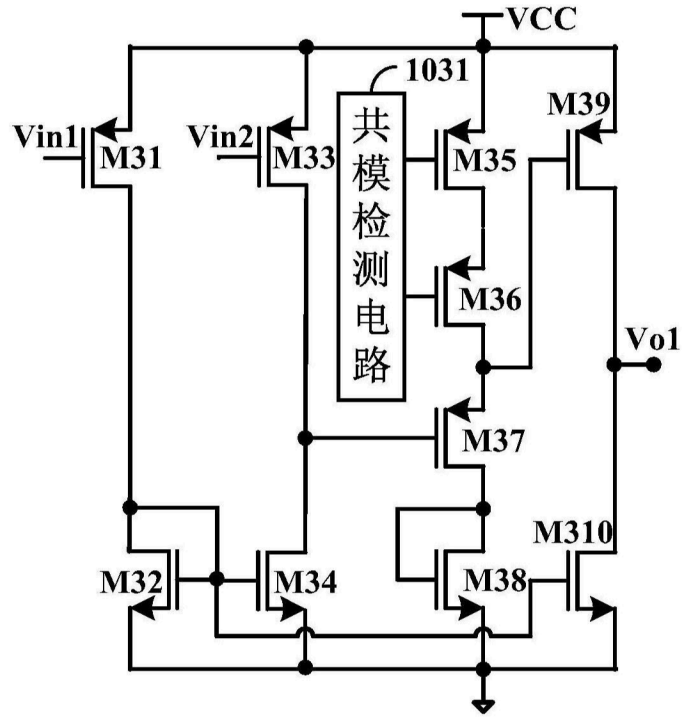


图19

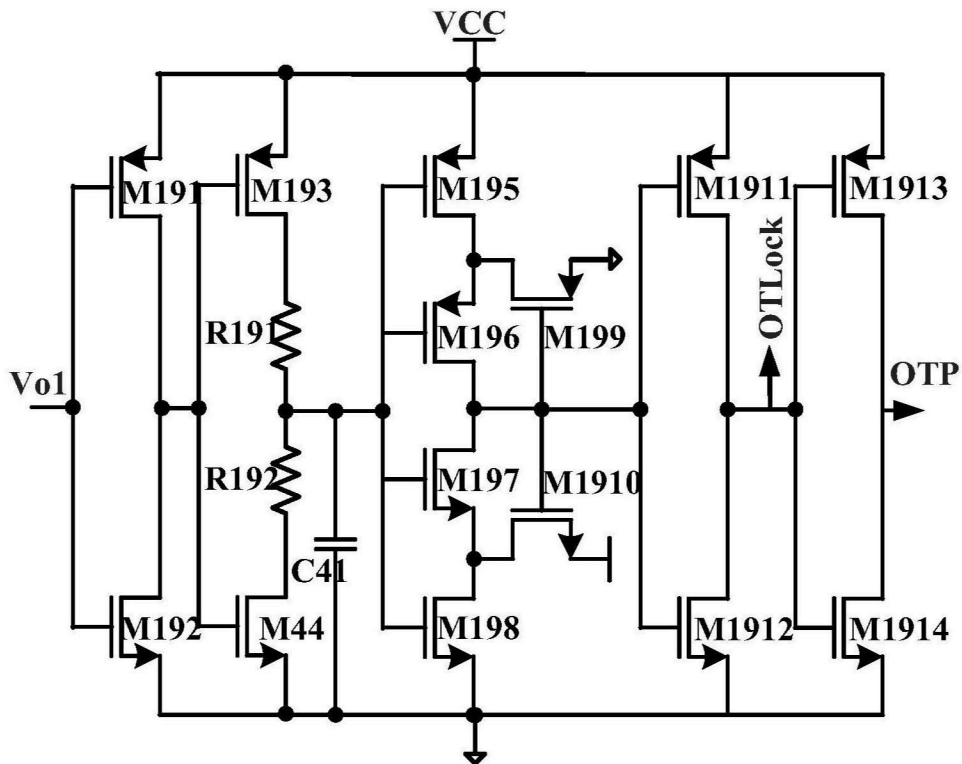


图20

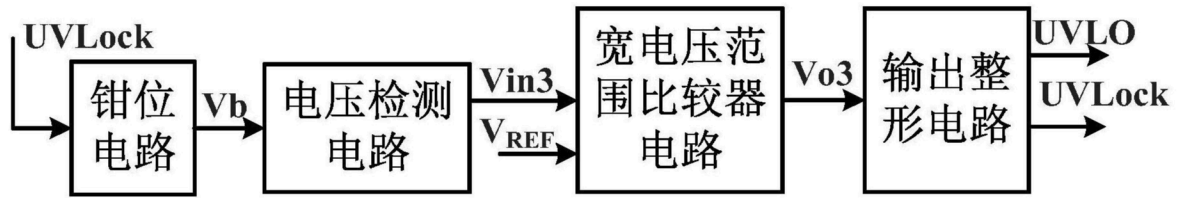


图21

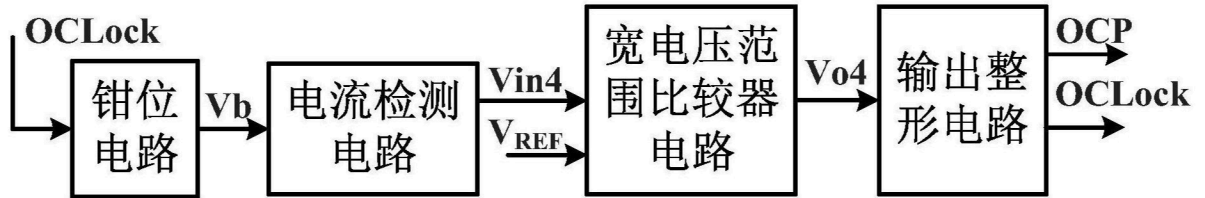


图22

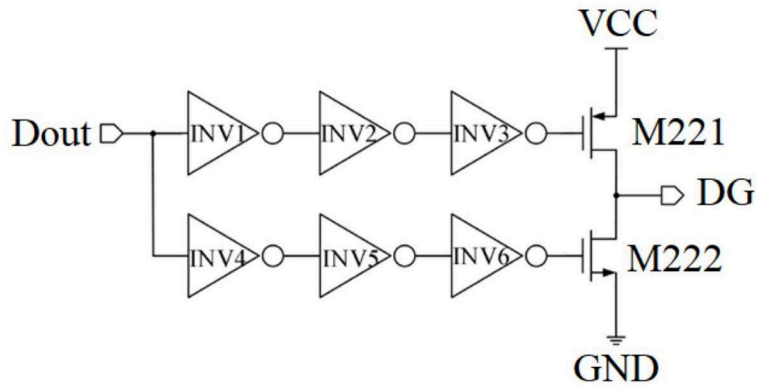


图23