



(12) 发明专利

(10) 授权公告号 CN 113067567 B

(45) 授权公告日 2024.04.30

(21) 申请号 202110347567.6

(22) 申请日 2021.03.31

(65) 同一申请的已公布的文献号
申请公布号 CN 113067567 A

(43) 申请公布日 2021.07.02

(73) 专利权人 江苏中科汉韵半导体有限公司
地址 221000 江苏省徐州市经济技术开发区创业路26号A-2厂房1F-2F

(72) 发明人 陈珍海 袁述 卢基存 黎力

(74) 专利代理机构 苏州国诚专利代理有限公司
32293
专利代理师 韩凤

(51) Int. Cl.
H03K 17/082 (2006.01)

(56) 对比文件

- CN 102843123 A, 2012.12.26
- CN 103401544 A, 2013.11.20
- CN 109495095 A, 2019.03.19
- CN 110649893 A, 2020.01.03
- CN 111490667 A, 2020.08.04
- CN 203840288 U, 2014.09.17
- US 2009231319 A1, 2009.09.17

审查员 张卉

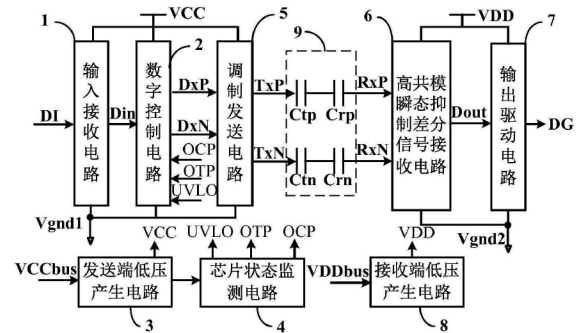
权利要求书4页 说明书15页 附图9页

(54) 发明名称

超高压绝缘隔离SiC MOSFET栅驱动电路

(57) 摘要

本发明公开了一种超高压绝缘隔离SiC MOSFET栅驱动电路,该电路包括:输入接收电路、数字控制电路、调制发送电路、高压隔离电路、高共模瞬态抑制差分信号接收电路、输出驱动电路、发送端低压产生电路、接收端低压产生电路和芯片状态监测电路。本发明所提供的超高压绝缘隔离SiC MOSFET栅驱动电路一方面采用高压绝缘隔离技术,可实现超高耐压绝缘电容;另一方面,可自动检测地电位共模瞬态噪声的大小,并在噪声超过阈值时对共模瞬态噪声产生的误差进行动态补偿。本发明可以广泛应用于驱动各类高压SiC MOSFET和IGBT器件。



1. 超高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,包括:输入接收电路(1)、数字控制电路(2)、调制发送电路(5)、隔离电路(9)、高共模瞬态抑制差分信号接收电路(6)、输出驱动电路(7)、发送端低压产生电路(3)、接收端低压产生电路(8)和芯片状态监测电路(4),其中,所述输入接收电路(1)、数字控制电路(2)、调制发送电路(5)、发送端低压产生电路(3)和芯片状态监测电路(4)构成驱动电路发送端电路,高共模瞬态抑制差分信号接收电路(6)、输出驱动电路(7)和接收端低压产生电路(8)构成驱动电路接收端电路;所述驱动电路发送端电路内部所有电路的地电位均连接到发送端地电压 V_{gnd1} ,所述驱动电路接收端电路内部所有电路的地电位均连接到接收端地电压 V_{gnd2} ;所述隔离电路(9)包括正端发送电容 C_{tp} 、负端发送电容 C_{tn} 、正端接收电容 C_{rp} 和负端接收电容 C_{rn} ;

所述输入接收电路(1)接收外部的低电平逻辑输入数据DI,将DI转换为高电平为VCC的输入数据 D_{in} ,输出给数字控制电路(2);数字控制电路(2)根据芯片状态监测电路(4)提供的欠压保护信号UVLO、过温保护信号OTP、过流保护信号OCP的状态将输入数据 D_{in} 处理成一组差分数据 D_{xP} 和 D_{xN} ;差分数据 D_{xP} 和 D_{xN} 进入调制发送电路(5),得到差分发送数据 T_{xP} 和 T_{xN} ;差分发送数据 T_{xP} 和 T_{xN} 分别连接到正端发送电容 C_{tp} 左端和负端发送电容 C_{tn} 左端,正端发送电容 C_{tp} 右端和负端发送电容 C_{tn} 右端分别连接到正端接收电容 C_{rp} 左端和负端接收电容 C_{rn} 左端,正端接收电容 C_{rp} 右端和负端接收电容 C_{rn} 的右端分别产生差分接收数据 R_{xP} 和 R_{xN} ,进入高共模瞬态抑制差分信号接收电路(6),经处理得到接收输出数据 D_{out} ;接收输出数据 D_{out} 最后进入输出驱动电路(7),产生具有大驱动电流的输出驱动信号DG;

所述发送端低压产生电路(3)采用发送端输入电源电压 VCC_{bus} ,产生发送端电源电压VCC以及驱动电路发送端电路内部各组成电路所需要的参考电压和偏置电压;接收端低压产生电路(8)采用接收端输入电源电压 VDD_{bus} ,产生接收端电源电压VDD以及用于驱动电路接收端电路内部各组成电路所需要的参考电压和偏置电压;所述发送端低压产生电路(3)和接收端低压产生电路(8)采用相同的低压产生电路实现;所述正端发送电容 C_{tp} 、负端发送电容 C_{tn} 、正端接收电容 C_{rp} 和负端接收电容 C_{rn} 大小相等,并均为超高耐压隔离电容;

所述发送端低压产生电路(3)包括:启动电路(301)、模拟电路模块低压供电电路(302)、数字电路模块低压供电电路(303)、自偏置带隙基准电压产生电路(304)、偏置信号产生电路(305)、参考电压产生电路(306)和n个相同的参考电压缓冲输出电路(307);n为大于或等于2的自然数;

所述启动电路(301)、模拟电路模块低压供电电路(302)和数字电路模块低压供电电路(303)采用发送端输入电源电压 VCC_{bus} ,模拟电路模块低压供电电路(302)根据发送端输入电源电压 VCC_{bus} 产生低压模拟电源AVCC,数字电路模块低压供电电路(303)根据发送端输入电源电压 VCC_{bus} 产生低压数字电源DVCC;所述自偏置带隙基准电压产生电路(304)、偏置信号产生电路(305)、参考电压产生电路(306)和n个相同的参考电压缓冲输出电路(307)采用低压模拟电源AVCC;偏置信号产生电路(305)产生参考电压产生电路(306)和n个相同的参考电压缓冲输出电路(307)所需要的所有偏置信号;其中,所述低压模拟电源AVCC和低压数字电源DVCC的电压大小相等,并等于发送端电源电压VCC;

所述自偏置带隙基准电压产生电路(304)输出带隙基准电压 V_{ref} 并连接到参考电压产生电路(306)的输入端,参考电压产生电路(306)根据带隙基准电压 V_{ref} 产生n种参考电压,具体为大小不相等的第1参考电压 V_{R1} 、第2参考电压 V_{R2} 、……、第n参考电压 V_{Rn} ;所述n种参

考电压分别输入到n个参考电压缓冲输出电路(307),对应得到有较大驱动能力的n种输出参考电压,即第一参考电压 V_{R1} 进入第一参考电压缓冲输出电路得到第一输出参考电压 V_{R01} ,第二参考电压 V_{R2} 进入第二参考电压缓冲输出电路得到第二输出参考电压 V_{R02} ,……,第n参考电压 V_{Rn} 进入第n参考电压缓冲输出电路得到第n输出参考电压 V_{R0n} 。

2. 根据权利要求1所述的超高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述高共模瞬态抑制差分信号接收电路(6)包括:差分输入接收电路(601)、X级前后级联的共模可调放大电路(602)、高灵敏度共模可调放大电路(603)、输出整形电路(604)和共模自适应调整电路(605);其中,差分输入接收电路(601)首先接收到差分接收数据正端接收信号 RxP 和负端接收信号 RxN ,经滤波处理得到正端输入信号 V_{ip} 和负端输入信号 V_{in} ;正端输入信号 V_{ip} 和负端输入信号 V_{in} 进入X级前后级联的共模可调放大电路(602)中的第一级共模可调放大电路,最终得到第X级共模可调放大电路的正端输出信号 $VoXp$ 和负端输出信号 $VoXn$;正端输出信号 $VoXp$ 和负端输出信号 $VoXn$ 分别连接高灵敏度共模可调放大电路(603)的正输入端和负输入端,高灵敏度共模可调放大电路(603)输出一组差分输出信号,包括正端输出信号 $VoXp$ 和负端输出信号 $VoXn$;输出整形电路(604)根据正端输出信号 $VoXp$ 和负端输出信号 $VoXn$ 的大小,经处理得到最终的数据输出,即接收输出数据 $Dout$;所述共模自适应调整电路(605)根据电源和地电压信号的变化,自适应产生用于各级放大电路的共模调整信号 $C11$, $C12$, $C21$, $C22$,……, $CX1$, $CX2$,共模自适应调整电路(605)产生的共模调整信号 $C11$ 和 $C12$ 分别连接到第一级共模可调放大电路的共模调整信号输入端;共模调整信号 $C21$ 和 $C22$ 分别连接到第二级共模可调放大电路的共模调整信号输入端;以此类推,共模调整信号 $CX1$ 和 $CX2$ 分别连接到第X级共模可调放大电路的共模调整信号输入端;共模自适应调整电路(605)还产生共模调整信号 $CN1$ 和 $CN2$,分别连接到高灵敏度共模可调放大电路(603)的共模调整信号输入端;其中,X为大于1的正整数,N为大于X的正整数。

3. 根据权利要求2所述的超高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述差分输入接收电路(601)包括:正端隔离电容 $C51$ 、正端接地电阻 $R51$ 、正端耦合电容 $C52$ 、正端共模电阻 $R53$ 、负端隔离电容 $C53$ 、负端接地电阻 $R52$ 、负端耦合电容 $C54$ 、负端共模电阻 $R54$ 和接收共模产生电路(6011);所述正端隔离电容 $C51$ 的左端和负端隔离电容 $C53$ 的左端分别连接到正端接收信号 RxP 和负端接收信号 RxN ;正端隔离电容 $C51$ 的右端连接到正端接地电阻 $R51$ 的下端和正端耦合电容 $C52$ 的左端;负端隔离电容 $C53$ 的右端连接到负端接地电阻 $R52$ 的下端和负端耦合电容 $C54$ 的左端;正端耦合电容 $C52$ 的右端连接到正端共模电阻 $R53$ 的上端,并作为正端输入信号 V_{ip} 的输出端;负端耦合电容 $C54$ 的右端连接到负端共模电阻 $R54$ 的下端,并作为负端输入信号 V_{in} 的输出端;正端共模电阻 $R53$ 的下端和负端共模电阻 $R54$ 的上端相连,并同时连接到接收共模产生电路(6011)的共模输出端 V_{icm} ;所述接收共模产生电路(6011)根据输入共模 V_{cm} 的变化,动态跟踪调整共模输出端 V_{icm} 的大小,减小输入共模的影响。

4. 根据权利要求3所述的超高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述接收共模产生电路(6011)包括:NMOS管 $M60$ 、NMOS管 $M61$ 、PMOS管 $M62$ 、NMOS管 $M63$ 、PMOS管 $M64$ 、PMOS管 $M65$ 、NMOS管 $M66$ 、NMOS管 $M67$ 、PMOS管 $M68$ 、NMOS管 $M69$ 、PMOS管 $M610$ 、NMOS管 $M611$ 、PMOS管 $M612$ 、NMOS管 $M613$ 、NMOS管 $M614$ 、PMOS管 $M615$ 和电阻 $R61$,以及第一施密特触发器(600);

所述NMOS管 $M60$ 的栅极连接到输入共模电压 V_{cm} ;NMOS管 $M60$ 的漏极连接到PMOS管 $M62$ 的

漏极和栅极、以及NMOS管M63的栅极；NMOS管M61的栅极连接到输入共模控制信号Vctrl；NMOS管M61的漏极和NMOS管M63的漏极相连，并连接到第一施密特触发器(600)的输入端；第一施密特触发器(600)的输出端同时连接到PMOS管M610栅极、NMOS管M611栅极、PMOS管M612栅极和NMOS管M613栅极；PMOS管M610的漏极和NMOS管M611的漏极相连，还连接到NMOS管M614的栅极；PMOS管M612的漏极和NMOS管M613的漏极相连，还连接到PMOS管M615的栅极；NMOS管M614的源极和PMOS管M615的源极相连，还作为所述共模输出端Vicm的输出端口；NMOS管M614的漏极连接到高输入共模电平Vcmh，PMOS管M615的漏极连接到低输入共模电平Vcml；NMOS管M613的源极连接到电阻R61上端；NMOS管M60源极、NMOS管M61源极、NMOS管M611源极和电阻R61下端同时连接到接收端地电压Vgnd2；PMOS管M62的源极、NMOS管M63的源极和PMOS管M610的源极同时连接到接收端电源电压VDD。

5. 根据权利要求2所述的超高压绝缘隔离SiC MOSFET栅驱动电路，其特征是，所述高灵敏度共模可调放大电路(603)为前后两级全差分放大电路，包括互相连接的前级共模可调放大电路和后级的差动差分放大电路；所述前级共模可调放大电路的正输入端即高灵敏度共模可调放大电路(603)的正输入端，前级共模可调放大电路的负输入端即高灵敏度共模可调放大电路(603)的负输入端；所述差动差分放大电路的正输出端VoNp即高灵敏度共模可调放大电路(603)的正输出端，差动差分放大电路的负输出端VoNn即高灵敏度共模可调放大电路(603)的负输出端；

所述前级共模可调放大电路的左侧包括通过漏极串联的PMOS管M81和NMOS管M83；所述PMOS管M81的源极连接电源VDD，PMOS管M81的栅极和源极之间连接电容C81，PMOS管M81的栅极还连接到偏置电阻R81的上端，PMOS管M81的漏极还连接到偏置电阻R82下端；所述偏置电阻R81下端和偏置电阻R82上端相连，还作为所述差动差分放大电路第一信号输入端；所述NMOS管M83的漏极连接PMOS管M81的漏极，还连接到所述差动差分放大电路第三信号输入端；NMOS管M83的栅极连接前级共模可调放大电路的正输入端，接收正端输出信号VoXp；所述前级共模可调放大电路的右侧包括通过漏极串联的PMOS管M82和NMOS管M84；所述PMOS管M82的源极连接电源VDD，PMOS管M82的栅极和源极之间连接电容C82，PMOS管M82的栅极还连接到偏置电阻R83的上端，PMOS管M82的漏极还连接到偏置电阻R84下端；所述偏置电阻R83下端和偏置电阻R84上端相连，还作为所述差动差分放大电路第二信号输入端；所述NMOS管M84的漏极连接PMOS管M82的漏极，还连接到所述差动差分放大电路第四信号输入端；NMOS管M84的栅极连接前级共模可调放大电路的负输入端，接收负端输出信号VoXn；所述前级共模可调放大电路左右两侧的PMOS管M81和PMOS管M82源极并联，NMOS管M83和NMOS管M84的源极并联；所述NMOS管M83和NMOS管M84的源极连接对地NMOS管M85、NMOS管M86和NMOS管M87的漏极；所述对地NMOS管M85的栅极连接偏置电压Vb1，提供放大器正常工作所需的偏置电流；所述NMOS管M86和NMOS管M87的栅极分别连接到共模调整信号CN1和CN2；

所述差动差分放大电路内部包括：PMOS管M88、PMOS管M89、PMOS管M812、PMOS管M813、NMOS管M810、NMOS管M811、NMOS管M814、NMOS管M815和电阻85；所述PMOS管M88的栅极为差动差分放大电路第一信号输入端，PMOS管M89的栅极为差动差分放大电路第二信号输入端，PMOS管M812为差动差分放大电路第三信号输入端，PMOS管M813为差动差分放大电路第四信号输入端；PMOS管M88的漏极和PMOS管M89的漏极相连，并连接到NMOS管M810的漏极，同时作为差动差分放大电路的正输出端VoNp；PMOS管M812的漏极和PMOS管M813的漏极相连，并连

接到电阻R85的上端;电阻R85的下端连接NMOS管M814的漏极,同时作为差动差分放大电路的负输出端VoNn;NMOS管M810和NMOS管M811构成共源共栅电流源结构,NMOS管M814和NMOS管M815构成共源共栅电流源结构,NMOS管M810和NMOS管M814的栅极接相同的偏置电压Vb81,NMOS管M811和NMOS管M815的栅极接相同的偏置电压Vb82。

6. 根据权利要求2所述的超高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述输出整形电路(604)包括依次连接的三级比较器、带RC滤波功能的缓冲器、第二施密特触发器和输出反相器,输出反相器的输出端即为最终的输出数据,即接收输出数据Dout;所述带RC滤波功能的缓冲器内部电路连接关系为:PMOS管M41栅极和NMOS管M42栅极同时连接到三级比较器的比较输出电压,PMOS管M41漏极和NMOS管M42漏极同时连接到PMOS管M43栅极和NMOS管M44栅极,PMOS管M43的漏极连接到电阻R41的上端,电阻R41的下端连接到电阻R42的上端、电容C41的上端和第二施密特触发器的输入端,电阻R42的下端连接到NMOS管M44的漏极,PMOS管M41源极和PMOS管M43源极同时连接到电源电压VCC,NMOS管M42源极和NMOS管M44源极以及电容C41的下端同时连接到接收端地电压Vgnd2。

7. 根据权利要求2所述的超高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述共模自适应调整电路(605)包括:共模检测电路(100)、共模检测信号传输电路(101)、调整共模信号产生电路(102)和共模调整信号选择电路(103);所述共模检测电路(100)用于检测电源和衬底噪声,并在噪声大于一定阈值时改变共模检测信号Vcm_det的大小,共模检测信号Vcm_det连接到共模检测信号传输电路(101),经过共模检测信号传输电路(101)产生共模选择开关控制信号N11,N12,N21,N22,⋯,NX1、NX2以及NN1,NN2,并输出到共模调整信号选择电路(103);共模调整信号选择电路(103)根据上述共模选择开关控制信号产生和调整共模调整信号C11,C12,C21,C22,⋯,CX1,CX2以及CN1,CN2的大小并输出;调整共模信号产生电路(102)用于产生共模调整信号选择电路(103)需要的各类共模偏置信号,并输出到共模调整信号选择电路(103)。

8. 根据权利要求7所述的超高压绝缘隔离SiC MOSFET栅驱动电路,其特征是,所述共模检测电路(100)包括:PMOS管M111、PMOS管M112和NMOS管M113;其中,PMOS管M111的栅极和漏极相连,并连接到PMOS管M112的漏极和NMOS管M113的栅极;PMOS管M112的栅极和NMOS管M113的漏极相连,并作为共模检测信号Vcm_det的输出节点;PMOS管M111的源极和PMOS管M112的源极连接电源电压VDD,NMOS管M113的源极连接到接收端地电压Vgnd2。

超高压绝缘隔离SiC MOSFET栅驱动电路

技术领域

[0001] 本发明涉及一种超高压绝缘隔离SiC MOSFET栅驱动电路,属于集成电路技术领域。

背景技术

[0002] 在智能电网、移动通信以及新能源汽车等新兴产业的牵引下,电力电子应用系统要求进一步提高系统的效率、小型化和增加功能,特别要求系统装备在尺寸、质量、功率和效率之间的权衡,比如服务器电源管理、电池充电器和太阳能电场的微逆变器。随着Si基超结MOSFET和绝缘栅双极晶体管(IGBT)的出现和应用普及,硅器件由于其本身物理特性的限制,已经开始不适用于一些高压、高温、高效率及高功率密度的应用场合。与Si材料相比,SiC材料较高的热导率决定了其高电流密度的特性,较高的禁带宽度又决定了SiC器件的高击穿场强和高工作温度。尤其在SiC MOSFET的开发与应用方面,与相同功率等级的Si MOSFET相比,SiC MOSFET导通电阻、开关损耗大幅降低,适用于更高的工作频率,另由于其高温工作特性,大大提高了高温稳定性。

[0003] 由于SiC MOSFET器件特性与传统的Si MOSFET有较大差别,SiC MOSFET驱动电路的性能对于整机系统起着至关重要的影响。基于SiC器件的新一代电力电子整机系统对高压栅驱动芯片的驱动速度、智能化提出了更高的要求,从而进一步提高整机可靠性,并降低整机系统设计复杂度。相比于Si MOSFET,SiC MOSFET的寄生电容更小,两者相差超过十倍,因此SiC MOSFET对驱动电路的寄生参数更敏感。另一方面,SiC MOSFET的驱动电压范围通常为-5V~+25V,而传统的Si MOSFET的驱动电压范围为-30V~+30V。因此,SiC MOSFET与传统的Si MOSFET相比,安全阈值更小,驱动电路的一个电压尖峰很可能就会击穿栅源之间氧化层,这也是驱动电路的输出控制电平需要精心设计。

[0004] 高压栅驱动芯片用于满足CPU控制器输出接口提供的小功率电平信号和大功率输出器件栅驱动所需要高压大电流信号之间转换驱动的需求。栅驱动IC在整机系统中的核心功能为将CPU控制器输出的小功率电平信号(1mA/3-5V)转换为大功率器件栅驱动所需要高压大电流信号(0.5~5A/5~20V),将输出电流和输出电压摆幅进行放大,由于高压和低压区电路之间还必须进行信号连接,因此芯片内必须有负责隔离区两侧之间信号传输功能的隔离区信号传输模块。由于功率半导体器件的应用场景存在很大差异,高/低电压区最大值之间存在VH的压差可以从40V跨度到6500V,电流从几安培跨度到上百安培,开关频率从几KHz跨度到几MHz,不同的应用场景对于栅驱动IC的性能和成本要求完全不同。VH大小直接决定了芯片内部的电气隔离等级,而在芯片内部实现不同等级的电气隔离组成电路,所需要采用的电路器件技术和成本质量等级存在较大差异。用于栅驱动IC的高压电气隔离技术主要有单片集成隔离技术和物理绝缘隔离技术两大类。其中,单片集成的隔离技术主要为PN结隔离技术,PN结隔离技术常用于实现650V以下的单片集成栅驱动IC产品;绝缘隔离技术将高低压信号处理电路在物理空间上隔离开,可实现超过6500V的超高压电气隔离。

[0005] 图1给出了现有技术中一种电容隔离驱动电路架构的示意图,其中,两个信号通信

模块:发送端电路与接收端电路各自连接于接地电压Vgnd1和Vgnd2,其中所设置的隔离电路20旨在将这两个接地电压Vgnd1和Vgnd2隔绝开来。众所周知,DI是电容隔离驱动电路的输入,R0是其输出。在信号的传输过程中,首先,输入DI控制发送端电路产生一组差动信号,通过配置于该发送端电路与接收端电路之间的2组隔离电容,将来自发送端的差动信号耦合至接收端电路,通过信号解调和输出驱动,得到输出信号R0。然而,由于在该两个接地电压Vgnd1和Vgnd2之间通常会存在有一定程度的共模瞬时噪声,将使得信号在传输过程中产生错误。举例来说,两个接地电压之间的尖峰(spike)、电力回路、或任何系统上的缺失都是常见的瞬时噪声因素之一。通常定义共模瞬时噪声VGND等于(Vgnd1-Vgnd2)的电压差值,对于1200V SiC MOSFET的典型应用场景,共模瞬时噪声VGND将会周期性地从0V快速升高到1200V,再由1200V快速降低到0V。则在此共模瞬时噪声VGND的干扰下,将使得接收端Vcm电压产生尖峰误差,不可避免的引起接收端电路数据错误,并且随着开关频率增加共模瞬时噪声影响将进一步恶化。因此,为实现SiC MOSFET器件的高可靠驱动,必须对共模瞬态噪声进行有效抑制。

发明内容

[0006] 本发明的目的是针对SiC MOSFET器件的驱动应用需求,克服现有技术中存在的不足,提供一种基于绝缘隔离技术并且具有高共模瞬态噪声抑制特性的超高压绝缘隔离栅驱动电路。

[0007] 按照本发明提供的技术方案,所述超高压绝缘隔离SiC MOSFET栅驱动电路包括:输入接收电路、数字控制电路、调制发送电路、隔离电路、高共模瞬态抑制差分信号接收电路、输出驱动电路、发送端低压产生电路、接收端低压产生电路和芯片状态监测电路,其中,所述输入接收电路、数字控制电路、调制发送电路、发送端低压产生电路和芯片状态监测电路构成驱动电路发送端电路,高共模瞬态抑制差分信号接收电路、输出驱动电路和接收端低压产生电路构成驱动电路接收端电路;所述驱动电路发送端电路内部所有电路的地电位均连接到发送端地电压Vgnd1,所述驱动电路接收端电路内部所有电路的地电位均连接到接收端地电压Vgnd2;所述隔离电路包括正端发送电容Ctp、负端发送电容Ctn、正端接收电容Crp和负端接收电容Crn;

[0008] 所述输入接收电路接收外部的低电平逻辑输入数据DI,将DI转换为高电平为VCC的输入数据Din,输出给数字控制电路;数字控制电路根据芯片状态监测电路提供的欠压保护信号UVLO、过温保护信号OTP、过流保护信号OCP的状态将输入数据Din处理成一组差分数据DxP和DxN;差分数据DxP和DxN进入调制发送电路,得到差分发送数据TxP和TxN;差分发送数据TxP和TxN分别连接到正端发送电容Ctp左端和负端发送电容Ctn左端,正端发送电容Ctp右端和负端发送电容Ctn右端分别连接到正端接收电容Crp左端和负端接收电容Crn左端,正端接收电容Crp右端和负端接收电容Crn的右端分别产生差分接收数据RxP和RxN,进入高共模瞬态抑制差分信号接收电路,经处理得到接收输出数据Dout;接收输出数据Dout最后进入输出驱动电路,产生具有大驱动电流的输出驱动信号DG;

[0009] 所述发送端低压产生电路采用发送端输入电源电压VCCbus,产生发送端电源电压VCC以及驱动电路发送端电路内部各组成电路所需要的参考电压和偏置电压;接收端低压产生电路采用接收端输入电源电压VDDbus,产生接收端电源电压VDD以及用于驱动电路接

收端电路内部各组成电路所需要的参考电压和偏置电压;所述发送端低压产生电路和接收端低压产生电路采用相同的低压产生电路实现;所述正端发送电容 C_{tp} 、负端发送电容 C_{tn} 、正端接收电容 C_{rp} 和负端接收电容 C_{rn} 大小相等,并均为超高耐压隔离电容。

[0010] 具体的,所述高共模瞬态抑制差分信号接收电路包括:差分输入接收电路、X级前后级联的共模可调放大电路、高灵敏度共模可调放大电路、输出整形电路和共模自适应调整电路;其中,差分输入接收电路首先接收到差分接收数据正端接收信号 R_{xP} 和负端接收信号 R_{xN} ,经滤波处理得到正端输入信号 V_{ip} 和负端输入信号 V_{in} ;正端输入信号 V_{ip} 和负端输入信号 V_{in} 进入X级前后级联的共模可调放大电路中的第一级共模可调放大电路,最终得到第X级共模可调放大电路的正端输出信号 V_{oXp} 和负端输出信号 V_{oXn} ;正端输出信号 V_{oXp} 和负端输出信号 V_{oXn} 分别连接高灵敏度共模可调放大电路的正输入端和负输入端,高灵敏度共模可调放大电路输出一组差分输出信号,包括正端输出信号 V_{oXp} 和负端输出信号 V_{oXn} ;输出整形电路根据正端输出信号 V_{oXp} 和负端输出信号 V_{oXn} 的大小,经处理得到最终的数据输出,即接收输出数据 D_{out} ;所述共模自适应调整电路根据电源和地电压信号的变化,自适应产生用于各级放大电路的共模调整信号 $C_{11}, C_{12}, C_{21}, C_{22}, \dots, C_{X1}, C_{X2}$,共模自适应调整电路产生的共模调整信号 C_{11} 和 C_{12} 分别连接到第一级共模可调放大电路的共模调整信号输入端;共模调整信号 C_{21} 和 C_{22} 分别连接到第二级共模可调放大电路的共模调整信号输入端;以此类推,共模调整信号 C_{X1} 和 C_{X2} 分别连接到第X级共模可调放大电路的共模调整信号输入端;共模自适应调整电路还产生共模调整信号 C_{N1} 和 C_{N2} ,分别连接到高灵敏度共模可调放大电路的共模调整信号输入端;其中,X为大于1的正整数,N为大于X的正整数。

[0011] 具体的,所述差分输入接收电路包括:正端隔离电容 C_{51} 、正端接地电阻 R_{51} 、正端耦合电容 C_{52} 、正端共模电阻 R_{53} 、负端隔离电容 C_{53} 、负端接地电阻 R_{52} 、负端耦合电容 C_{54} 、负端共模电阻 R_{54} 和接收共模产生电路;所述正端隔离电容 C_{51} 的左端和负端隔离电容 C_{53} 的左端分别连接到正端接收信号 R_{XP} 和负端接收信号 R_{XN} ;正端隔离电容 C_{51} 的右端连接到正端接地电阻 R_{51} 的下端和正端耦合电容 C_{52} 的左端;负端隔离电容 C_{53} 的右端连接到负端接地电阻 R_{52} 的下端和负端耦合电容 C_{54} 的左端;正端耦合电容 C_{52} 的右端连接到正端共模电阻 R_{53} 的上端,并作为正端输入信号 V_{ip} 的输出端;负端耦合电容 C_{54} 的右端连接到负端共模电阻 R_{54} 的下端,并作为负端输入信号 V_{in} 的输出端;正端共模电阻 R_{53} 的下端和负端共模电阻 R_{54} 的上端相连,并同时连接到接收共模产生电路的共模输出端 V_{icm} ;所述接收共模产生电路根据输入共模 V_{cm} 的变化,动态跟踪调整共模输出端 V_{icm} 的大小,减小输入共模的影响。

[0012] 具体的,所述接收共模产生电路包括:NMOS管 M_{60} 、NMOS管 M_{61} 、PMOS管 M_{62} 、NMOS管 M_{63} 、PMOS管 M_{64} 、PMOS管 M_{65} 、NMOS管 M_{66} 、NMOS管 M_{67} 、PMOS管 M_{68} 、NMOS管 M_{69} 、PMOS管 M_{610} 、NMOS管 M_{611} 、PMOS管 M_{612} 、NMOS管 M_{613} 、NMOS管 M_{614} 、PMOS管 M_{615} 和电阻 R_{61} ,以及第一施密特触发器;

[0013] 所述NMOS管 M_{60} 的栅极连接到输入共模电压 V_{cm} ;NMOS管 M_{60} 的漏极连接到PMOS管 M_{62} 的漏极和栅极、以及NMOS管 M_{63} 的栅极;NMOS管 M_{61} 的栅极连接到输入共模控制信号 V_{ctrl} ;NMOS管 M_{61} 的漏极和NMOS管 M_{63} 的漏极相连,并连接到第一施密特触发器的输入端;第一施密特触发器的输出端同时连接到PMOS管 M_{610} 栅极、NMOS管 M_{611} 栅极、PMOS管 M_{612} 栅极和NMOS管 M_{613} 栅极;PMOS管 M_{610} 的漏极和NMOS管 M_{611} 的漏极相连,还连接到NMOS管 M_{614}

的栅极;PMOS管M612的漏极和NMOS管M613的漏极相连,还连接到PMOS管M615的栅极;NMOS管M614的源极和PMOS管M615的源极相连,还作为所述共模输出端 V_{icm} 的输出端口;NMOS管M614的漏极连接到高输入共模电平 V_{cmh} ,PMOS管M615的漏极连接到低输入共模电平 V_{cml} ;NMOS管M613的源极连接到电阻R61上端;NMOS管M60源极、NMOS管M61源极、NMOS管M611源极和电阻R61下端同时连接到接收端地电压 V_{gnd2} ;PMOS管M62的源极、NMOS管M63的源极和PMOS管M610的源极同时连接到接收端电源电压VDD。

[0014] 具体的,所述高灵敏度共模可调放大电路为前后两级全差分放大电路,包括互连接的前级共模可调放大电路和后级的差动差分放大电路;所述前级共模可调放大电路的正输入端即高灵敏度共模可调放大电路的正输入端,前级共模可调放大电路的负输入端即高灵敏度共模可调放大电路的负输入端;所述差动差分放大电路的正输出端 V_{oNp} 即高灵敏度共模可调放大电路的正输出端,差动差分放大电路的负输出端 V_{oNn} 即高灵敏度共模可调放大电路的负输出端;

[0015] 所述前级共模可调放大电路的左侧包括通过漏极串联的PMOS管M81和NMOS管M83;所述PMOS管M81的源极连接电源VDD,PMOS管M81的栅极和源极之间连接电容C81,PMOS管M81的栅极还连接到偏置电阻R81的上端,PMOS管M81的漏极还连接到偏置电阻R82下端;所述偏置电阻R81下端和偏置电阻R82上端相连,还作为所述差动差分放大电路第一信号输入端;所述NMOS管M83的漏极连接PMOS管M81的漏极,还连接到所述差动差分放大电路第三信号输入端;NMOS管M83的栅极连接前级共模可调放大电路的正输入端,接收正端输出信号 V_{oXp} ;所述前级共模可调放大电路的右侧包括通过漏极串联的PMOS管M82和NMOS管M84;所述PMOS管M82的源极连接电源VDD,PMOS管M82的栅极和源极之间连接电容C82,PMOS管M82的栅极还连接到偏置电阻R83的上端,PMOS管M82的漏极还连接到偏置电阻R84下端;所述偏置电阻R83下端和偏置电阻R84上端相连,还作为所述差动差分放大电路第二信号输入端;所述NMOS管M84的漏极连接PMOS管M82的漏极,还连接到所述差动差分放大电路第四信号输入端;NMOS管M84的栅极连接前级共模可调放大电路的负输入端,接收负端输出信号 V_{oXn} ;所述前级共模可调放大电路左右两侧的PMOS管M81和PMOS管M82源极并联,NMOS管M83和NMOS管M84的源极并联;所述NMOS管M83和NMOS管M84的源极连接对地NMOS管M85、NMOS管M86和NMOS管M87的漏极;所述对地NMOS管M85的栅极连接偏置电压 V_{b1} ,提供放大器正常工作所需的偏置电流;所述NMOS管M86和NMOS管M87的栅极分别连接到共模调整信号CN1和CN2;

[0016] 所述差动差分放大电路内部包括:PMOS管M88、PMOS管M89、PMOS管M812、PMOS管M813、NMOS管M810、NMOS管M811、NMOS管M814、NMOS管M815和电阻85;所述PMOS管M88的栅极为差动差分放大电路第一信号输入端,PMOS管M89的栅极为差动差分放大电路第二信号输入端,PMOS管M812为差动差分放大电路第三信号输入端,PMOS管M813为差动差分放大电路第四信号输入端;PMOS管M88的漏极和PMOS管M89的漏极相连,并连接到NMOS管M810的漏极,同时作为差动差分放大电路的正输出端 V_{oNp} ;PMOS管M812的漏极和PMOS管M813的漏极相连,并连接到电阻R85的上端;电阻R85的下端连接NMOS管M814的漏极,同时作为差动差分放大电路的负输出端 V_{oNn} ;NMOS管M810和NMOS管M811构成共源共栅电流源结构,NMOS管M814和NMOS管M815构成共源共栅电流源结构,NMOS管M810和NMOS管M814的栅极接相同的偏置电压 V_{b81} ,NMOS管M811和NMOS管M815的栅极接相同的偏置电压 V_{b82} 。

[0017] 具体的,所述输出整形电路包括依次连接的三级比较器、带RC滤波功能的缓冲器、

第二施密特触发器和输出反相器,输出反相器的输出端即为最终的输出数据,即接收输出数据Dout;所述带RC滤波功能的缓冲器内部电路连接关系为:PMOS管M41栅极和NMOS管M42栅极同时连接到三级比较器的比较输出电压,PMOS管M41漏极和NMOS管M42漏极同时连接到PMOS管M43栅极和NMOS管M44栅极,PMOS管M43的漏极连接到电阻R41的上端,电阻R41的下端连接到电阻R42的上端、电容C41的上端和第二施密特触发器的输入端,电阻R42的下端连接到NMOS管M44的漏极,PMOS管M41源极和PMOS管M43源极同时连接到电源电压VCC,NMOS管M42源极和NMOS管M44源极以及电容C41的下端同时连接到接收端地电压Vgnd2。

[0018] 具体的,所述共模自适应调整电路包括:共模检测电路、共模检测信号传输电路、调整共模信号产生电路和共模调整信号选择电路;所述共模检测电路用于检测电源和衬底噪声,并在噪声大于一定阈值时改变共模检测信号Vcm_det的大小,共模检测信号Vcm_det连接到共模检测信号传输电路,经过共模检测信号传输电路产生共模选择开关控制信号N11,N12,N21,N22,⋯,NX1,NX2以及NN1,NN2,并输出到共模调整信号选择电路;共模调整信号选择电路根据上述共模选择开关控制信号产生和调整共模调整信号C11,C12,C21,C22,⋯,CX1,CX2以及CN1,CN2的大小并输出;调整共模信号产生电路用于产生共模调整信号选择电路需要的各类共模偏置信号,并输出到共模调整信号选择电路。

[0019] 具体的,所述共模检测电路包括:PMOS管M111、PMOS管M112和NMOS管M113;其中,PMOS管M111的栅极和漏极相连,并连接到PMOS管M112的漏极和NMOS管M113的栅极;PMOS管M112的栅极和NMOS管M113的漏极相连,并作为共模检测信号Vcm_det的输出节点;PMOS管M111的源极和PMOS管M112的源极连接电源电压VDD,NMOS管M113的源极连接到接收端地电压Vgnd2。

[0020] 具体的,所述发送端低压产生电路包括:启动电路、模拟电路模块低压供电电路、数字电路模块低压供电电路、自偏置带隙基准电压产生电路、偏置信号产生电路、参考电压产生电路和n个相同的参考电压缓冲输出电路;n为大于或等于2的自然数;

[0021] 所述启动电路、模拟电路模块低压供电电路和数字电路模块低压供电电路采用发送端输入电源电压VCCbus,模拟电路模块低压供电电路根据发送端输入电源电压VCCbus产生低压模拟电源AVCC,数字电路模块低压供电电路根据发送端输入电源电压VCCbus产生低压数字电源DVCC;所述自偏置带隙基准电压产生电路、偏置信号产生电路、参考电压产生电路和n个相同的参考电压缓冲输出电路采用低压模拟电源AVCC;偏置信号产生电路产生参考电压产生电路和n个相同的参考电压缓冲输出电路所需要的所有偏置信号;其中,所述低压模拟电源AVCC和低压数字电源DVCC的电压大小相等,并等于发送端电源电压VCC;

[0022] 所述自偏置带隙基准电压产生电路输出带隙基准电压Vref并连接到参考电压产生电路的输入端,参考电压产生电路根据带隙基准电压Vref产生n种参考电压,具体为大小不相等的第1参考电压 V_{R1} 、第2参考电压 V_{R2} 、⋯、第n参考电压 V_{Rn} ;所述n种参考电压分别输入到n个参考电压缓冲输出电路,对应得到有较大驱动能力的n种输出参考电压,即第1参考电压 V_{R1} 进入第1参考电压缓冲输出电路得到第1输出参考电压 V_{R01} ,第2参考电压 V_{R2} 进入第2参考电压缓冲输出电路得到第2输出参考电压 V_{R02} ,⋯,第n参考电压 V_{Rn} 进入第n参考电压缓冲输出电路得到第n输出参考电压 V_{R0n} 。

[0023] 本发明的优点是:所提供的超高压绝缘隔离SiC MOSFET栅驱动电路,一方面,采用高压绝缘隔离技术,可实现超高耐压绝缘电容;另一方面,可自动检测地电位共模瞬态噪声

的大小,并在噪声超过阈值时对共模瞬态噪声产生的误差进行动态补偿。

附图说明

- [0024] 图1为一种电容隔离驱动电路架构的示意图。
- [0025] 图2为本发明超高压绝缘隔离SiC MOSFET栅驱动电路结构图。
- [0026] 图3为本发明调制发送电路结构图。
- [0027] 图4为本发明刷新模块电路结构图。
- [0028] 图5为本发明编码模块电路结构图。
- [0029] 图6为本发明高共模瞬态抑制差分信号接收电路结构图。
- [0030] 图7为本发明差分输入接收电路的实施例。
- [0031] 图8为本发明接收共模产生电路的实施例。
- [0032] 图9为本发明共模可调放大电路的实施例。
- [0033] 图10为本发明高灵敏度共模可调放大电路的实施例。
- [0034] 图11为本发明输出整形电路的实施例。
- [0035] 图12为本发明共模自适应调整电路的实施例。
- [0036] 图13为本发明共模检测电路的实施例。
- [0037] 图14为图13所示电路的波形图。
- [0038] 图15为本发明高压隔离电容实施例的半导体结构剖面。
- [0039] 图16为本发明的低压产生电路的实施例。
- [0040] 图17为本发明的模拟电路模块低压供电电路的实施例。
- [0041] 图18为图16中参考电压产生电路的实施例。
- [0042] 图19为图16中单个参考电压缓冲输出电路的实施例。

具体实施方式

[0043] 下面结合附图和实施例对本发明进行进一步详细的说明。

[0044] 如图2所示,本发明所述超高压绝缘隔离SiC MOSFET栅驱动电路包括输入接收电路1、数字控制电路2、调制发送电路5、隔离电路9、高共模瞬态抑制差分信号接收电路6、输出驱动电路7、发送端低压产生电路3、接收端低压产生电路8和芯片状态监测电路4。其中,输入接收电路1、数字控制电路2、调制发送电路5、发送端低压产生电路3和芯片状态监测电路4构成驱动电路发送端电路,高共模瞬态抑制差分信号接收电路6、输出驱动电路7和接收端低压产生电路8构成驱动电路接收端电路。所述驱动电路发送端电路内部所有电路的地电位均连接到发送端地电压 V_{gnd1} ,所述驱动电路接收端电路内部所有电路的地电位均连接到接收端地电压 V_{gnd2} 。所述隔离电路10包括正端发送电容 C_{tp} 、负端发送电容 C_{tn} 、正端接收电容 C_{rp} 和负端接收电容 C_{rn} 。

[0045] 所述输入接收电路1接收外部的低电平逻辑输入数据DI,DI经处理转换为高电平为VCC的输入数据 D_{in} ;数字控制电路2根据芯片状态监测电路4提供的欠压保护信号UVLO、过温保护信号OTP、过流保护信号OCP的状态将输入数据 D_{in} 处理得到差分数据 D_{xP} 和 D_{xN} ;差分数据 D_{xP} 和 D_{xN} 进入调制发送电路5,得到差分发送数据 T_{xP} 和 T_{xN} ;差分发送数据 T_{xP} 和 T_{xN} 分别连接到正端发送电容 C_{tp} 左端和负端发送电容 C_{tn} 左端,所述正端发送电容 C_{tp} 右端和

负端发送电容 C_{tn} 右端分别连接到正端接收电容 C_{rp} 左端和负端接收电容 C_{rn} 左端,所述正端接收电容 C_{rp} 右端和负端接收电容 C_{rn} 右端产生差分接收数据 R_{xP} 和 R_{xN} ;差分接收数据 R_{xP} 和 R_{xN} 进入高共模瞬态抑制差分信号接收电路6,经处理得到接收输出数据 D_{out} ;接收输出数据 D_{out} 最后进入输出驱动电路7,产生具有大驱动电流的输出驱动信号 DG 。

[0046] 所述发送端低压产生电路3采用发送端输入电源电压 VCC_{bus} ,产生发送端电源电压 VCC 以及驱动电路发送端电路内部各组成电路所需要的各类参考电压和偏置电压。接收端低压产生电路8采用接收端输入电源电压 VDD_{bus} ,产生接收端电源电压 VDD 以及用于驱动电路接收端电路内部各组成电路所需要的各类参考电压和偏置电压。所述发送端低压产生电路3和接收端低压产生电路8采用相同的低压产生电路实现。所述正端发送电容 C_{tp} 、负端发送电容 C_{tn} 、正端接收电容 C_{rp} 和负端接收电容 C_{rn} 大小相等,并均为超高耐压隔离电容。

[0047] 图2所示电路中,芯片状态监测电路4采用常规的温度保护、欠压保护和过流保护电路即可实现,各类保护电路需要的参考电压由发送端低压产生电路3产生;芯片状态监测电路4用于提供欠压保护信号 $UVLO$ 、过温保护信号 OTP 和过流保护信号 OCP ,交由数字控制电路2判断芯片状态是否正确。当电路发生过流(OCP 有效)、过温(OTP 有效)或者电源电压欠压($UVLO$ 有效)时,数字控制电路2会封锁两路输出 D_{xP} 和 D_{xN} ;当解除过流及过温警报、电源恢复正常工作电压时,数字控制电路2指示电路工作正常。图2所示电路中的输出驱动电路7的功能是将无驱动能力的接收输出数据 D_{out} 转换为一个大电流驱动信号 DG ,实现方式很多,最简单的实现方式为公知的反相器链驱动电路。

[0048] 图2所示电路中,输入接收电路1通常由依次连接的输入ESD保护电路和电平判别电路构成。输入接收电路1不仅要完成信号的传输,还要完成对芯片内部电路的ESD保护,防止由于ESD造成对电路内部的冲击而损毁电路。电平判别电路用于识别外部输入电平是逻辑“0”还是“1”。由于外部信号存在很大干扰,电平判别电路必须具备足够的抗干扰噪声容限,具体电路实现通常包括2种形式,一种为Schmitt触发器,一种为迟滞比较器。根据驱动芯片驱动对象和输入逻辑信号的速度不同,Schmitt触发器和迟滞比较器的实现电路存在很大差异。电平判别电路输出的逻辑信号即为 D_{in} 信号。

[0049] 数字控制电路2的作用在于综合芯片状态监测信号,对电路是否正常做出判断,当芯片异常时关断数据输出。数字控制电路2由组合逻辑门构成,当电路发生过流(OCP 有效)、过温(OTP 有效)或者电源电压欠压($UVLO$ 有效)时,错误逻辑电路输出低电平信号,指示电路发生异常,封锁两路输出 D_{xP} 和 D_{xN} ;当解除过流及过温警报、电源恢复正常工作电压时,错误逻辑电路立即输出高电平信号,指示电路工作正常。

[0050] 图3为一路调制发送电路的实现结构,具体采用的调制方案为脉冲计数调制,其使用双脉冲刻画输入信号上升沿、单脉冲刻画输入信号下降沿的方法。整个系统的输入为待隔离信号,输出为隔离、整形之后的信号。调制发送电路5主要包括用于处理输入信号上升、下降沿的滤波器模块503、刷新模块501及编码模块502。具体而言,滤波器模块503主要用于处理输入信号上诸如毛刺等干扰信号,以免影响编码模块502产生脉冲;刷新模块501根据内部定时电路的计时来定时给入刷新信号至编码模块502,避免在信号周期较大的情况下外部干扰信号对脉冲产生的影响。编码模块502用于针对上升下降沿对应的产生双、单脉冲信号。图3中, D_{xP} 为输入数据、 $R1$ 和 $R2$ 为刷新模块501产生的高频的刷新信号,输出为调制后的脉冲信号 T_{xP} 。本发明的调制发送电路5采用了2组图3所示调制发送电路。

[0051] 图3所示电路中滤波器模块503用于毛刺的消除和信号整形,可以采用施密特触发器和SR锁存器组合实现,输入信号接施密特触发器,再通过SR锁存器复位整形,恢复去掉外部干扰信号的原输入信号。图4为本发明刷新模块501一种实现结构。输入信号Fpre进入反相器和电容组成的简单延迟电路,Fpre信号经延迟后与原始信号异或得到信号PF,PF是Fpre信号的跳变沿处对应的脉冲。0与0_L为高低电平完全相反的信号。WatchDog为定时电路,可通过输入端Fpre和CLR_W对其进行复位。芯片上电后WatchDog内部电流对电容充电,并最终使输出W_D为高电平,形成状态锁定,除非Fpre或CLR_W进行复位,否则锁定状态将保持不变。信号W_D到CLR_W通过定时电路WatchDog形成一个震荡信号OSC,这个震荡的周期为WatchDog定时时间加上0与0_L的延迟时间,相对于WatchDog定时时间来说,0与0_L的延迟时间可以忽略不计,所以震荡周期为WatchDog定时时间。

[0052] 图5为本发明编码模块502电路结构图。该电路采用的调制方案为脉冲计数调制,使用双脉冲刻画输入信号上升沿、单脉冲刻画输入信号下降沿的方法,分离输入信号的上升、下降沿,生成对应的脉冲驱动信号。编码模块502的输入DxPin为滤波之后的输入数据,输出为调制后的脉冲信号TxP。刷新信号R1和R2分别对应着下降沿单脉冲和上升沿双脉冲的刷新指令信号,在信号为高时电路正常工作,在信号为低时执行刷新操作对电路进行刷新。该电路中除了逻辑门之外,还有延时模块TD,可以由反相器、电容、施密特触发器构成。

[0053] 如图6所示,本发明的高共模瞬态抑制差分信号接收电路6的结构包括:差分输入接收电路1、X级前后级联的共模可调放大电路602(CM1~CMX)、高灵敏度共模可调放大电路603(CMN)、输出整形电路604和共模自适应调整电路605。差分输入接收电路1首先接收到图2中所示发送端电路通过隔离电路10耦合进来的差分信号(正端接收信号RxP和负端接收信号RxN),经滤波处理得到正端输入信号Vip和负端输入信号Vin;Vip和Vin进入X级前后级联的共模可调放大电路602的第一级共模可调放大电路CM1,最终得到第X级共模可调放大电路的正端输出信号VoXp和负端输出信号VoXn;VoXp和VoXn分别连接高灵敏度共模可调放大电路603(CMN)的正输入端和负输入端,得到高灵敏度共模可调放大电路603的差分输出信号(正端输出信号VoNp和负端输出信号VoNn);输出整形电路604根据VoNp和VoNn的大小,经处理得到最终的数据输出Dout。所述共模自适应调整电路605根据电源和地电压信号的变化,自适应产生用于各级放大电路的共模调整信号C11,C12,C21,C22,⋯,CX1,CX2,CN1,CN2,共模自适应调整电路605产生的共模调整信号C11和C12分别连接到第一级共模可调放大电路CM1的共模调整信号输入端;共模调整信号C21和共模调整信号C22分别连接到第二级共模可调放大电路CM2的共模调整信号输入端;⋯以此类推,共模调整信号CX1和共模调整信号CX2分别连接到第X级共模可调放大电路CMX的共模调整信号输入端;共模调整信号CN1和共模调整信号CN2分别连接到高灵敏度共模可调放大电路603(CMN)的共模调整信号输入端。其中,X为大于1的正整数,N为大于X的正整数。

[0054] 图6中共模自适应调整电路605内部自动检测接收电路电源电压VDD和地电位Vgnd2波动引起的瞬态共模噪声大小,并在瞬态共模噪声超过一定阈值时,调整共模调整信号C11,C12,C21,C22,⋯,CX1,CX2,CN1,CN2的值并对应输出给X级前后级联的共模可调放大电路CM1~CMX和高灵敏度共模可调放大电路603(CMN),从而调整X级前后级联的共模可调放大电路CM1~CMX和高灵敏度共模可调放大电路3的共模电平,使之补偿瞬态共模噪声的影响。除共模自适应调整之外,本发明还采用了高可靠输出整形电路604,采用RC低通滤波

和施密特触发器组合滤波,以滤除高频噪声的影响,最终得到不受瞬态共模噪声影响的数据输出Dout。

[0055] 图7为本发明差分输入接收电路601的一种实现方式,该电路由正端隔离电容C51、正端接地电阻R51、正端耦合电容C52、正端共模电阻R53、负端隔离电容C53、负端接地电阻R52、负端耦合电容C54、负端共模电阻R54和接收共模产生电路6011构成。所述正端隔离电容C51的左端和负端隔离电容C53的左端分别连接到正端接收信号R_{xP}和负端接收信号R_{xN};正端隔离电容C51的右端连接到正端接地电阻R51的下端和正端耦合电容C52的左端;负端隔离电容C53的右端连接到负端接地电阻R52的下端和负端耦合电容C54的左端;正端耦合电容C52的右端连接到正端共模电阻R53的上端,并作为正端输入信号V_{ip}的输出端;负端耦合电容C54的右端连接到负端共模电阻R54的下端,并作为负端输入信号V_{in}的输出端;正端共模电阻R53的下端和负端共模电阻R54的上端相连,并同时连接到接收共模产生电路6011的共模输出端V_{icm}。

[0056] 图7所述电路中正端隔离电容C51和负端隔离电容C53均为高压电容,电容尺寸通常达到几十fF;正端耦合电容C52和负端耦合电容C54均为低压电容,其电容值也相对较小。正端接收信号R_{xP}和负端接收信号R_{xN}从输入到输出,经过2级隔直耦合滤波,得到正端输入信号V_{ip}和负端输入信号V_{in}。正端输入信号V_{ip}和负端输入信号V_{in}的共模电平,由接收共模产生电路6011提供。

[0057] 图8为本发明接收共模产生电路6011的一种实现方式。该电路由NMOS管M60、NMOS管M61、PMOS管M62、NMOS管M63、PMOS管M64、PMOS管M65、NMOS管M66、NMOS管M67、PMOS管M68、NMOS管M69、PMOS管M610、NMOS管M611、PMOS管M612、NMOS管M613、NMOS管M614、PMOS管M615和电阻R61构成;其中,PMOS管M64、PMOS管M65、NMOS管M66、NMOS管M67、PMOS管M68和NMOS管M69构成施密特触发器600。

[0058] 所述NMOS管M60的栅极连接到输入共模电压V_{cm};NMOS管M60的漏极连接到PMOS管M62的漏极和栅极、以及NMOS管M63的栅极;NMOS管M61的栅极连接到输入共模控制信号V_{ctrl};NMOS管M61的漏极和NMOS管M63的漏极相连,并连接到所述施密特触发器600的输入端;所述施密特触发器600的输出端同时连接到PMOS管M610、NMOS管M611、PMOS管M612和NMOS管M613的栅极;PMOS管M610的漏极和NMOS管M611的漏极相连,还连接到NMOS管M614的栅极;PMOS管M612的漏极和NMOS管M613的漏极相连,还连接到PMOS管M615的栅极;NMOS管M614的源极和PMOS管M615的源极相连,还作为所述共模输出端V_{icm}的输出端口;NMOS管M614的漏极连接到高输入共模电平V_{cmh},PMOS管M615的漏极连接到低输入共模电平V_{cm1};NMOS管M613的源极连接到电阻R61的上端;NMOS管M60的源极、NMOS管M61的源极、NMOS管M611的源极和电阻R61的下端,同时连接到地电压V_{gnd2};PMOS管M62的源极、NMOS管M63的源极、PMOS管M64的源极和PMOS管M610的源极同时连接到接收端电源电压V_{DD}。这个电路的接地端子均连接接收电路地电压V_{gnd2}。

[0059] 图8所示电路的功能在于根据输入共模V_{cm}的变化,动态跟踪调整共模输出端V_{icm}的大小,减小输入共模的影响。假设输入共模V_{cm}减小,则施密特触发器600的输入端将会同步减小,假设该波动超过施密特触发器600的阈值,则施密特触发器600输出将会变为高电平,PMOS管M615将会导通,共模输出端V_{icm}将输出低输入共模电平V_{cm1},使之匹配和输入共模变化;假设输入共模V_{cm}增大,并超过施密特触发器600的阈值,则NMOS管M614导通,共模

输出端 V_{icm} 将输出高输入共模电平 V_{cmh} 。可以看出,对于不同的输入共模波动,图8电路均可以实现输入共模变化的动态补偿。图8所示电路中,为使共模输出端 V_{icm} 更好的实现共模信号输出,采用NMOS管传输高输入共模电平 V_{cmh} ,采用PMOS管传输低输入共模电平 V_{cml} 。

[0060] 图9为本发明共模可调放大电路的一个级联单元一种实现方式。该电路为全差分单级放大电路,该电路左侧包括通过漏极串联的PMOS管M71和NMOS管M73;所述PMOS管M71的源极连接电源VDD,PMOS管M71的栅极和源极之间连接电容C71,PMOS管的栅极和漏极之间连接偏置电阻R71;所述NMOS管M73的漏极输出负端输出信号 V_{o1n} 连接到下一个级联单元的负输入端(第二个级联单元输出负端输出信号 V_{o2n} 到下一个级联单元,以此类推),NMOS管M73的栅极连接共模可调放大电路602的正输入端 V_{ip} ;该电路的右侧包括:通过漏极串联的PMOS管M72和NMOS管M74;所述PMOS管M72的源极连接电源VDD,PMOS管M72的栅极和源极之间连接电容C72,PMOS管M72的栅极和漏极之间连接偏置电阻R72;所述NMOS管M74的漏极输出正端输出信号 V_{o1p} 到下一个级联单元的正输入端(第二个级联单元输出正端输出信号 V_{o2p} 到下一个级联单元,以此类推),NMOS管M74的栅极连接共模可调放大电路602的负输入端 V_{in} ;所述放大电路两侧的PMOS管M71和PMOS管M72源极并联,NMOS管M73和NMOS管M74的源极并联;所述NMOS管M73和NMOS管M74的源极连接对地NMOS管M75、NMOS管M76和NMOS管M77的漏极;所述对地NMOS管M75的栅极连接偏置电压 V_{b1} ,提供放大器正常工作所需的偏置电流;所述NMOS管M76和NMOS管M77的栅极分别连接到共模调整信号C11和C12。

[0061] 图9所述电路可以看出,通过改变共模调整信号C11和C12的大小,流过NMOS管M73和NMOS管M74的偏置电流就会发生改变,级联单元的负端输出信号 V_{o1n} 和正端输出信号 V_{o1p} 的输出电压就会对应的同时发生改变,从而实现输出共模电压的调整。本发明的接收端电路采用多级如图9所示的相同的共模可调放大电路前后级联,由第X级共模可调放大电路CMX输出正端输出信号 V_{oXp} 和负端输出信号 V_{oXn} ,最终实现共模噪声的动态补偿。

[0062] 图10为本发明高灵敏度共模可调放大电路603的一种实现方式。该电路为前后两级全差分放大电路,前级共模可调放大电路采用和图9类似的放大电路结构,后级放大电路为差动差分放大电路(DDA)。所述前级共模可调放大电路的正输入端即高灵敏度共模可调放大电路603的正输入端,前级共模可调放大电路的负输入端即高灵敏度共模可调放大电路603的负输入端;所述差动差分放大电路的正输出端 V_{oNp} 即高灵敏度共模可调放大电路603的正输出端,差动差分放大电路的负输出端 V_{oNn} 即高灵敏度共模可调放大电路603的负输出端。

[0063] 所述前级共模可调放大电路的左侧包括通过漏极串联的PMOS管M81和NMOS管M83;所述PMOS管M81的源极连接电源VDD,PMOS管M81的栅极和源极之间连接电容C81,PMOS管M81的栅极还连接到偏置电阻R81的上端,PMOS管M81的漏极还连接到偏置电阻R82下端;所述偏置电阻R81下端和偏置电阻R82上端相连,还作为所述差动差分放大电路第一信号输入端;所述NMOS管M83的漏极连接PMOS管M81的漏极,还连接到所述差动差分放大电路第三信号输入端;NMOS管M83的栅极连接前级共模可调放大电路的正输入端 V_{oXp} ;该电路的右侧包括通过漏极串联的PMOS管M82和NMOS管M84;所述PMOS管M82的源极连接电源VDD,PMOS管M82的栅极和源极之间连接电容C82,PMOS管M82的栅极还连接到偏置电阻R83的上端,PMOS管M82的漏极还连接到偏置电阻R84下端;所述偏置电阻R83下端和偏置电阻R84上端相连,还作为所述差动差分放大电路第二信号输入端;所述NMOS管M84的漏极连接PMOS管M82的漏极,还连

接到所述差动差分放大电路第四信号输入端；NMOS管M84的栅极连接前级共模可调放大电路的负输入端VoXn；所述放大电路两侧的PMOS管M81和PMOS管M82源极并联，NMOS管M83和NMOS管M84的源极并联；所述NMOS管M83和NMOS管M84的源极连接对地NMOS管M85、NMOS管M86和NMOS管M87的漏极；所述对地NMOS管M85的栅极连接偏置电压Vb1，提供放大器正常工作所需的偏置电流；所述NMOS管M86和NMOS管M87的栅极分别连接到共模调整信号CN1和CN2。

[0064] 所述差动差分放大电路内部包括：PMOS管M88、PMOS管M89、PMOS管M812、PMOS管M813、NMOS管M810、NMOS管M811、NMOS管M814、NMOS管M815和电阻85；所述PMOS管M88的栅极为差动差分放大电路第一信号输入端，PMOS管M89的栅极为差动差分放大电路第二信号输入端，PMOS管M812为差动差分放大电路第三信号输入端，PMOS管M813为差动差分放大电路第四信号输入端；PMOS管M88的漏极和PMOS管M89的漏极相连，并连接到NMOS管M810的漏极，同时作为差动差分放大电路的正输出端VoNp；PMOS管M812的漏极和PMOS管M813的漏极相连，并连接到电阻R85的上端；电阻R85的下端连接NMOS管M814的漏极，同时作为差动差分放大电路的负输出端VoNn；NMOS管M810和NMOS管M811构成共源共栅电流源结构，NMOS管M814和NMOS管M815构成共源共栅电流源结构，NMOS管M810和NMOS管M814的栅极接相同的偏置电压Vb81，NMOS管M811和NMOS管M815的栅极接相同的偏置电压Vb82。

[0065] 图11为本发明输出整形电路604的实现方式，包括PMOS管M401、PMOS管M402、PMOS管M403、PMOS管M404、PMOS管M405、PMOS管M406、PMOS管M409、NMOS管M407、NMOS管M408、NMOS管M4010、电阻R401、电阻R402、PMOS管M41、PMOS管M43、PMOS管M45、PMOS管M46、PMOS管M49、PMOS管M411、NMOS管M42、NMOS管M44、NMOS管M47、NMOS管M48、NMOS管M410、NMOS管M412、电阻R41、电阻R42和电容C41。

[0066] 其中，PMOS管M401、PMOS管M402、PMOS管M403、PMOS管M404、PMOS管M405、PMOS管M406、PMOS管M409、NMOS管M407、NMOS管M408、NMOS管M4010、电阻R401和电阻R402构成三级比较器；PMOS管M41、PMOS管M43、NMOS管M42、NMOS管M44、电阻R41、电阻R42和电容C41组成一个带RC滤波功能的缓冲器；PMOS管M45、PMOS管M46、PMOS管M49、NMOS管M47、NMOS管M48、NMOS管M410组成一个施密特触发器；PMOS管M411和NMOS管M412组成一个输出反相器。所述带RC滤波功能的缓冲器的输入端连接到所述宽电压范围比较器电路的比较输出电压Vo1，带RC滤波功能的缓冲器的输出端连接到施密特触发器的输入端，施密特触发器的输出端连接到输出反相器的输入端，输出反相器的输出端即为高共模瞬态抑制差分信号接收电路6最终的数据输出Dout。

[0067] 所述三级比较器内部电路结构为：PMOS管M401、PMOS管M402、PMOS管M403、电阻R401和电阻R402组成三级比较器的输入级，PMOS管M404、PMOS管M405、PMOS管M406、NMOS管M407、NMOS管M408组成三级比较器的放大级，PMOS管M409和NMOS管M4010组成三级比较器的输出级；所述带RC滤波功能的缓冲器内部电路连接关系为：PMOS管M41和NMOS管M42的栅极同时连接到所述三级比较器的比较输出电压，PMOS管M41和NMOS管M42的漏极同时连接到PMOS管M43和NMOS管M44的栅极，PMOS管M43的漏极连接到电阻R41的上端，电阻R41的下端连接到电阻R42的上端、电容C41的上端和施密特触发器的输入端，电阻R42的下端连接到NMOS管M44的漏极，PMOS管M41和PMOS管M43的同时源极连接到电源电压VCC，NMOS管M42和NMOS管M44的源极以及电容C41的下端同时连接到地电压Vgnd2。

[0068] 图11所示的本发明的输出整形电路604，一方面提供了三级比较器将输入差分信

号转换成一个标准的数字逻辑信号Dout;另外一方面采用RC低通滤波和施密特触发器组合滤波,保持了一定的迟滞量是为了有效滤除共模噪声引起的高频干扰影响。

[0069] 图12为本发明共模自适应调整电路605的具体实现方式,该电路包括共模检测电路100、共模检测信号传输电路101、调整共模信号产生电路102和共模调整信号选择电路103。所述共模检测电路100用于检测电源和衬底噪声,并在噪声大于一定阈值时改变共模检测信号Vcm_det的大小,共模检测信号Vcm_det连接到共模检测信号传输电路101,Vcm_det经过共模检测信号传输电路101产生共模选择开关控制信号N11,N12,N21,N22,⋯,NX1,NX2以及NN1,NN2,并输出到共模调整信号选择电路103;共模调整信号选择电路103根据上述共模选择开关控制信号产生和调整共模调整信号C11,C12,C21,C22,⋯,CX1,CX2以及CN1,CN2的大小并输出;调整共模信号产生电路102用于产生共模调整信号选择电路103需要的各类共模偏置信号,并输出到共模调整信号选择电路503。

[0070] 图12所示电路中,所述共模检测信号传输电路101采用分布式的反相器链实现,共模检测信号Vcm_det经过分布式的N组反相器链传播,得到N组共模控制信号。所述调整共模信号产生电路102,由电源电压VDD到SW的一条偏置信号通路,产生高输入共模电平Vcmh和低输入共模电平Vcm1。对于Vcmh和Vcm1的实现方式,图中给出的是一种硬件开销最小的实现方式,采用基准电压分压或者LDO等其他电路同样可以实现相同功能,在此不再描述。所述共模调整信号选择电路103其内部电路为开关选择阵列,开关阵列根据共模选择开关控制信号N11,N12,N21,N22,⋯,NX1,NX2以及NN1,NN2的值,决定共模调整信号C11,C12,C21,C22,⋯,CX1,CX2以及CN1,CN2的输出。

[0071] 图13为本发明共模检测电路100实现方式。所述共模检测电路100用于检测电源和衬底噪声,并在噪声大于一定阈值时改变共模检测信号Vcm_det的大小,以控制图12中给出的共模自适应调整电路605的输出。所述共模检测电路由PMOS管M111、PMOS管M112和NMOS管M113构成;其中,PMOS管M111的栅极和漏极相连,并连接到PMOS管M112的漏极和NMOS管M113的栅极;PMOS管M112的栅极和NMOS管M113的漏极相连,并作为共模检测信号Vcm_det的输出节点;PMOS管M111和PMOS管M112的源极连接电源电压VDD,NMOS管M113的源极连接到地电压Vgnd2。

[0072] 图14给出了所述共模检测电路100的工作波形示意图。典型高压半桥栅驱动电路分为高侧和低侧两路驱动电路通道,高侧驱动电路采用自举升压的方式实现信号传输控制。假设电路工作在半桥驱动的高侧驱动电路中,VH是半桥高、低侧电路之间最大压差值,则Vgnd2信号必须连接到半桥输出节点SW,因此需要Vgnd2和SW一样在0和VH之间摆动。VDD连接到半桥驱动高侧驱动电路电源电压VHB,VHB由自举电容在SW电位基础上自举浮动,故正常工作时自举电压 $VHB = SW + VCC = VH + VCC$ 。由于电容自举充电也需要一定的充电时间,在电容充电过程中,自举电压不能完全同步SW的波动,这势必导致VDD相对SW存在一定的延时,在延时区间内电源和地之间的压差不严格等于VDD,相当于电源共模噪声,该噪声幅度足够大时势必影响电路功能,产生比较器的误触发。

[0073] 如图14的波形所示,在半桥输出SW稳定时,VDD和Vgnd2电压处于稳定状态,M111导通,M113导通,Vcm_det将会被M113拉低到Vgnd2,处于低电平;当半桥输出SW由0向VH切换时,Vgnd2电压同步向VH切换,但是自举电压存在一定延时,产生一定的延时区间,在延时区间内VDD还未达到VH+VCC,M113的栅极电压不足以让M113导通,M113将关闭,在寄生电容的

作用下Vcm_det将会受Vgnd2影响产生一个尖峰高脉冲,直到VDD达到VH+VCC,此时M113重新导通,Vcm_det将会被M113拉低到Vgnd2。

[0074] 如图2所示,本发明电容隔离SiC MOSFET驱动芯片的总体隔离是由两组串联设置的隔离电容(Ctp和Ccp构成一组P端串接隔离电容、Ctn和Ccn构成一组N端串接隔离电容)实现耐压隔离,中间通过压焊线(Bonding wire)连接两个串接隔离电容的上极板,所以电容隔离器芯片的总体耐压值是串接电容中两个电容耐压值相加。通常SiO₂的耐压值在500V/ μm 左右,一般的0.18 μm 的CMOS工艺,若M1做隔离电容的下极板,M6做隔离电容的上极板,则金属层之间的SiO₂厚度总厚度,大概为6~7 μm 左右,也就是说单个隔离电容的耐压大约为3000V~3500V,两个隔离电容的耐压大概在6000V~7000V之间。这个耐压能满足普通常规的应用,并不能满足超高压隔离的耐压要求。

[0075] 如图15所示,本发明提供一种超高耐压隔离电容,所述超高耐压隔离电容包括:深N阱隔离区DNWELL 50、下极板(第一层M1) 51、上极板54以及自下而上设置于下极板51和上极板54之间的SiO₂层52和钝化层53,所述钝化层53为SiO₂和Si₃N₄的叠加。其中,SiO₂层厚度主要为VIA12,M2(第二层),VIA23,M3(第三层),VIA34,M4(第四层),VIA45,M5(第五层),VIA56,M6(第六层),相加厚度为8~9 μm ,钝化层53的厚度为2~3 μm 。所述钝化层53中Si₃N₄叠加设置于SiO₂上方,因为Si₃N₄具有比SiO₂的更好的致密性和耐压性。上极板54采用金属Cu制成,上极板54是通过晶圆后端加工而成,在钝化层53上面生成一层金属Cu,该金属Cu同时也作为焊盘PAD。下极板51下方是深N阱隔离区DNWELL 50,深N阱隔离区50的下方是晶圆的衬底;所述深N阱隔离区50面积应大于下极板51的平面面积,并且全部覆盖下极板51的下表面。

[0076] 本发明提供的一种超高耐压隔离电容方案,通过工艺调节,控制钝化层的厚度为2.5 μm 左右,单个的隔离电容的厚度大概为12 μm 左右,耐压值能达到6000V,因此两个隔离电容串联的总体厚度约为24 μm ,总体耐压值能达到12000V,能满足增强隔离的要求。隔离电容增厚后电容值减小,可以适当的增加隔离电容极板的面积,使隔离电容的电容值基本保持不变,整体的隔离信号传输质量不受影响。

[0077] 图16所示为发送端低压产生电路3所采用的的低压产生电路的框图,其输入为发送端输入电源电压VCCbus,输出为低压模拟电源AVCC和低压数字电源DVCC,两路电源的电压大小相等,并等于发送端电源电压VCC。接收端低压产生电路8也可以使用图16所示的相同的低压产生电路实现。

[0078] 所述低压产生电路内部包括:启动电路301、模拟电路模块低压供电电路302、数字电路模块低压供电电路303、自偏置带隙基准电压产生电路304、偏置信号产生电路305、参考电压产生电路306和n个相同的参考电压缓冲输出电路307。所述启动电路301、模拟电路模块低压供电电路302和数字电路模块低压供电电路303采用相同的发送端输入电源电压VCCbus;所述自偏置带隙基准电压产生电路304、偏置信号产生电路305、参考电压产生电路306和n个相同的参考电压缓冲输出电路307采用相同的低压模拟电源AVCC。所述模拟电路模块低压供电电路302根据发送端输入电源电压VCCbus产生低压模拟电源AVCC,所述数字电路模块低压供电电路303根据发送端输入电源电压VCCbus产生低压数字电源DVCC。所述偏置信号产生电路305产生参考电压产生电路306和n个相同的参考电压缓冲输出电路307所需要的所有偏置信号。

[0079] 所述自偏置带隙基准电压产生电路304输出带隙基准电压 V_{ref} 到参考电压产生电路306,参考电压产生电路306根据带隙基准电压 V_{ref} 产生 n 种参考电压,所述 n 种参考电压为大小不相等的第 1 参考电压 V_{R1} 、第 2 参考电压 V_{R2} 、……、第 n 参考电压 V_{Rn} 。所述 n 种参考电压分别输入到 n 个参考电压缓冲输出电路307,对应得到有较大驱动能力的 n 种输出参考电压,即第 1 参考电压 V_{R1} 进入第 1 参考电压缓冲输出电路得到第 1 输出参考电压 V_{R01} ,第 2 参考电压 V_{R2} 进入第 2 参考电压缓冲输出电路得到第 2 输出参考电压 V_{R02} ,……,第 n 参考电压 V_{Rn} 进入第 n 参考电压缓冲输出电路得到第 n 输出参考电压 V_{R0n} 。

[0080] 发送端输入电源电压 VCC_{bus} 上电之后,启动电路301是整个芯片中最先开启的电路,通常会提供一定的初始偏置信号给模拟电路模块低压供电电路302和数字电路模块低压供电电路303,分别产生低压模拟电源 $AVCC$ 和低压数字电源 $DVCC$ 。低压模拟电源 $AVCC$ 给自偏置带隙基准电压产生电路304、偏置信号产生电路305、参考电压产生电路306和 n 个相同的参考电压缓冲输出电路307电路提供电源,最终产生 n 个输出参考电压 $V_{R01} \sim V_{R0n}$ 。

[0081] 图17为上述模拟电路模块低压供电电路302的一种实现方式。所述模拟电路模块低压供电电路302包括:NPN三极管 $Q1$ 、电阻 $R170$ 、电阻 $R171$ 、电阻 $R172$ 、NMOS管 $M171$ 、NMOS管 $M174$ 、NMOS管 $M175$ 、NMOS管 $M178$ 、PMOS管 $M172$ 、PMOS管 $M173$ 、PMOS管 $M176$ 、PMOS管 $M177$ 和电容 $C11$ 。其中,所述NMOS管 $M171$ 、NMOS管 $M174$ 、NMOS管 $M175$ 、NMOS管 $M178$ 均为高压MOS管,所述PMOS管 $M172$ 、PMOS管 $M173$ 、PMOS管 $M176$ 和PMOS管 $M177$ 均为低压MOS管;所述高压MOS管指源漏耐压大于 $10V$ 的MOS管,低压MOS管指源漏耐压小于 $7V$ 的MOS管。

[0082] 电阻 $R170$ 的下端连接NMOS管 $M171$ 的栅极和漏极,还连接到NMOS管 $M174$ 和NMOS管 $M175$ 栅极;NMOS管 $M171$ 的源极连接到NPN三极管 $Q1$ 的集电极和基极;PMOS管 $M172$ 的漏极和栅极相连,还连接到PMOS管 $M173$ 的源极和PMOS管 $M177$ 的栅极;PMOS管 $M173$ 的漏极和栅极相连,还连接到NMOS管 $M174$ 的漏极和PMOS管 $M176$ 的栅极;NMOS管 $M174$ 的源极连接到电阻 $R171$ 的上端,NMOS管 $M175$ 的源极连接到电阻 $R172$ 的上端;PMOS管 $M176$ 的漏极连接到NMOS管 $M175$ 的漏极,PMOS管 $M176$ 的源极连接到PMOS管 $M177$ 的漏极和NMOS管 $M178$ 的栅极;NMOS管 $M178$ 的源极连接到电容 $C11$ 的上端,还作为低压模拟电源 $AVCC$ 的输出节点;电阻 $R10$ 的上端、PMOS管 $M172$ 的源极、PMOS管 $M177$ 的源极和NMOS管 $M178$ 的漏极同时连接 VCC_{bus} ;NPN三极管 $Q1$ 的发射极、电阻 $R170$ 的下端、电阻 $R171$ 的下端和电容 $C11$ 的下端同时连接到地电压。

[0083] 图17电路中最左侧的电阻 $R170$ 、NMOS管 $M171$ 和NPN三极管 $Q1$ 形成一个电源到地的直流通路,并在 $M171$ 的栅端产生一个偏置电压,给PMOS管 $M172$ 、PMOS管 $M173$ 和NMOS管 $M174$ 的支路提供偏置,通过进一步镜像和偏置提供NMOS管 $M178$ 的栅极偏置,得到输出低压模拟电源 $AVCC$ 。为提供足够大的驱动电流,NMOS管 $M178$ 通常为大尺寸晶体管。 $C11$ 为滤波电容,通常越大越好。低压模拟电源 $AVCC$ 的大小为NMOS管 $M178$ 的栅极电压减去一个 V_{th} 电压,NMOS管 $M178$ 的栅极电压大小可以通过调整电阻 $R171$ 和 $R172$ 实现。

[0084] 图18为本发明参考电压产生电路306的一种实现方式。该电路为多输出的LDO电路,采用带隙基准电压 V_{ref} 连接到运放 $A1$ 的正输入端,运放 $A1$ 的输出端连接到调整MOS管 $MR1$,然后连接电阻串分压产生反馈信号,再连接到运放负输入端,形成负反馈环路,从电阻串各节点产生 n 种参考电压 $V_{R1}, V_{R2}, \dots, V_{Rn}$ 。带隙基准电压 V_{ref} 为带隙基准产生电路提供,带隙基准产生电路采用通用带隙产生电路即可实现。

[0085] 图19为单个参考电压缓冲输出电路的一种实现方式。该电路包括PMOS管 $M191$ 、

PMOS管M192、PMOS管M193、PMOS管M196、PMOS管M197、PMOS管M1910、NMOS管M194、NMOS管M195、NMOS管M198、NMOS管M199、NMOS管M1911、电阻R191、电阻R192、电阻R193和电阻R194。

[0086] 其中,PMOS管M191和PMOS管M1910的栅极连接到偏置电压 V_{bn} ;PMOS管M191的漏极同时连接到PMOS管M192和PMOS管M193的源极;PMOS管M193的栅极连接到参考电压 V_{Rn} ;PMOS管M192的栅极连接到输出反馈信号 V_f ;NMOS管M194的漏极和栅极同时连接到NMOS管M198的栅极和PMOS管M192的漏极;NMOS管M195的漏极和栅极同时连接到NMOS管M199的栅极和PMOS管M193的漏极;NMOS管M198的漏极连接到PMOS管M196的漏极和栅极,还连接到PMOS管M197的栅极;NMOS管M199的漏极连接到PMOS管M197的漏极和NMOS管M1911的栅极;PMOS管M1910的漏极和NMOS管M1911的漏极相连,并连接到电阻R191的上端;电阻R191的下端连接到电阻R192上端,并作为正端参考电平 V_{ro1p} 的输出节点;电阻R192的下端连接到电阻R193的上端,还作为输出反馈信号 V_f 的输出节点;电阻R193的下端连接到电阻R194的上端,还作为所述负端参考电平 V_{ro1n} 的输出节点;PMOS管M191、PMOS管M196、PMOS管M197和PMOS管M1910的源极同时连接到 $AVCC (=VCC)$;NMOS管M194、NMOS管M195、NMOS管M198、NMOS管M199、NMOS管M1911的源极以及电阻R194下端同时连接到地电压。所述正端参考电平 V_{ro1p} 和负端参考电平 V_{ro1n} 中任意一种均可以作为参考电压缓冲输出电路的输出参考电压。

[0087] 图19给出的电路由PMOS管M191、PMOS管M192、PMOS管M193、PMOS管M196、PMOS管M197、NMOS管M194、NMOS管M195、NMOS管M198和NMOS管M199构成一个两级推挽输出结构的运算放大器,以最大程度提供宽摆幅输出;PMOS管M1910和NMOS管M1911构成一个宽摆幅的输出级电路,驱动电阻R191、电阻R192、电阻R193和电阻R194串接而成的电阻分压网络,提供正端参考电平 V_{ro1p} 、输出反馈信号 V_f 和负端参考电平 V_{ro1n} ;输出反馈信号 V_f 反馈连接到运放输入端现成负反馈,将输出输出反馈信号 V_f 钳位到输入参考电压 V_{Rn} ;根据电阻分压,就可以得到负端参考电平 V_{ro1n} 大小为 $V_r * R194 / (R193 + R194)$,正端参考电平 V_{ro1p} 大小为 $V_r * (R192 + R193 + R194) / (R193 + R194)$,通过设置电阻比例,即可精确设定正端参考电平 V_{ro1p} 和负端参考电平 V_{ro1n} 的大小。

[0088] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

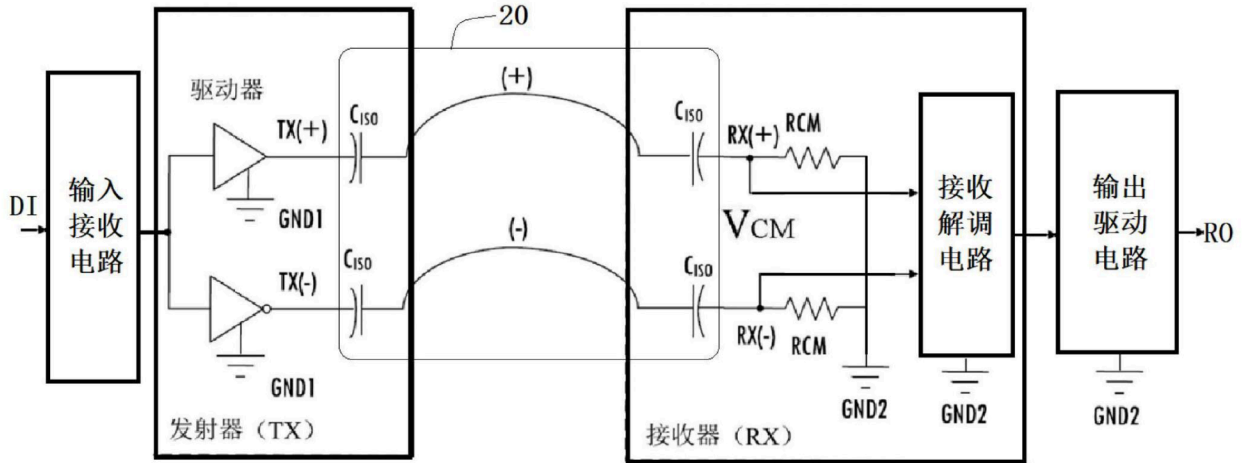


图1

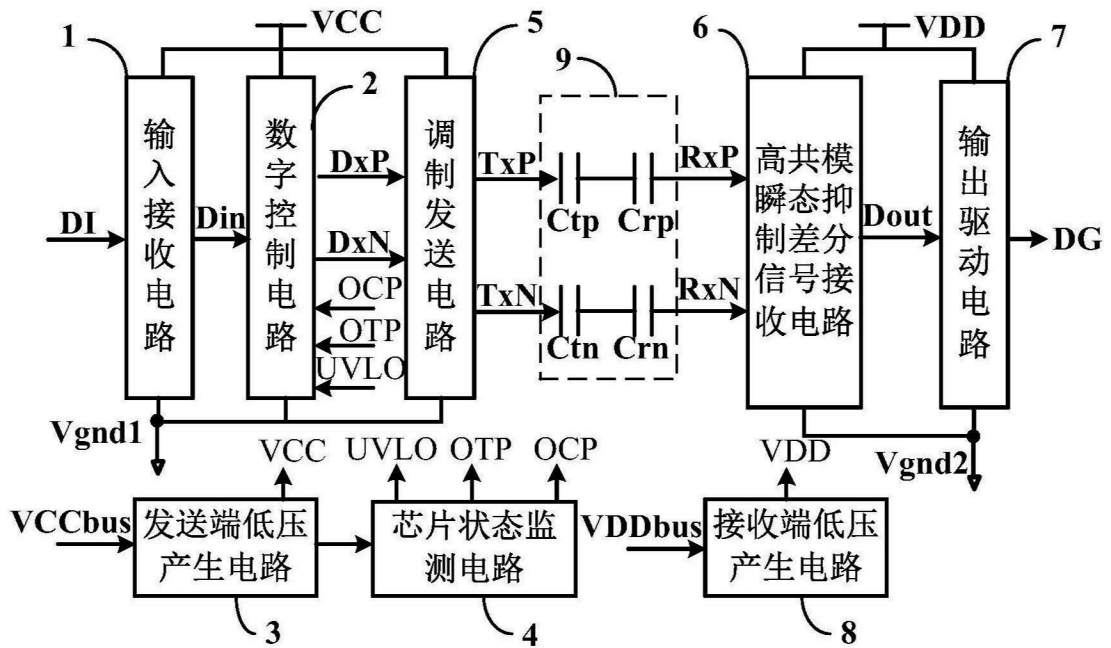


图2

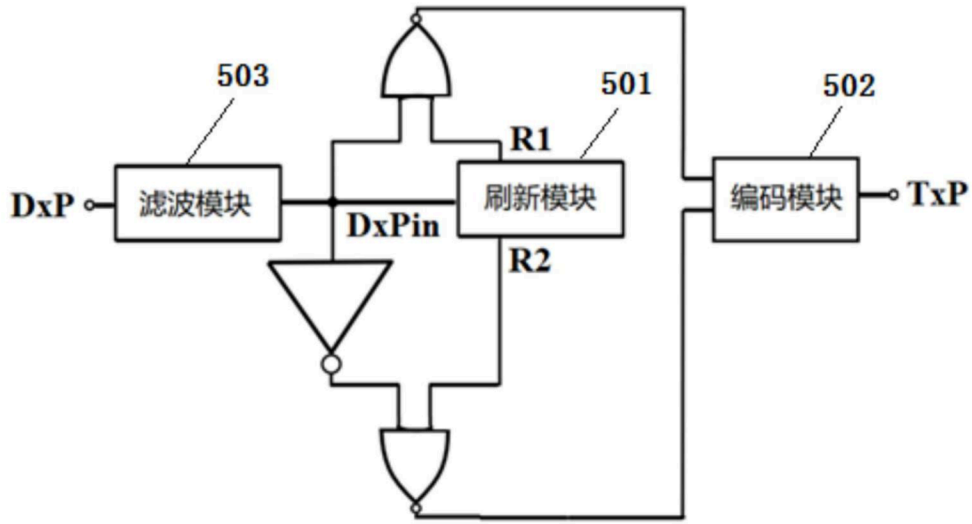


图3

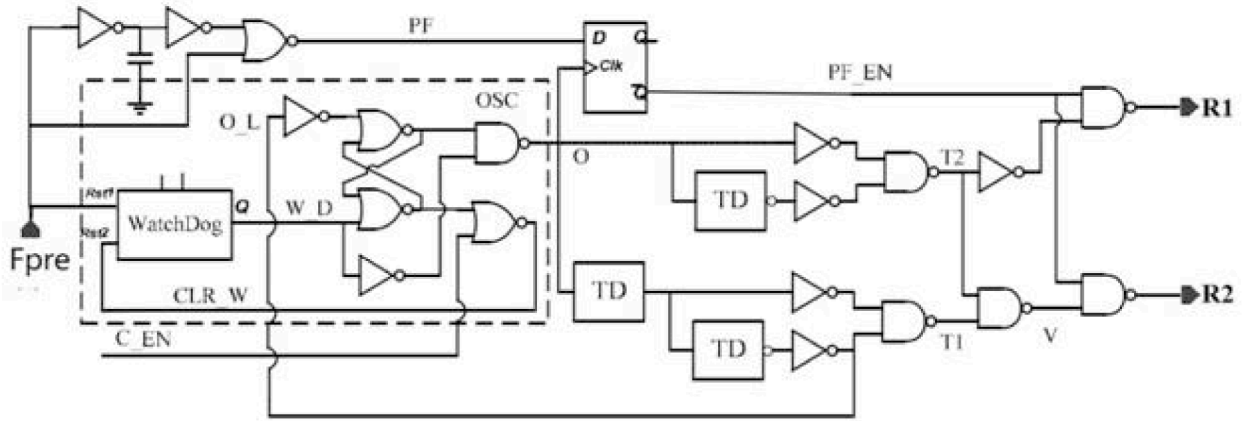


图4

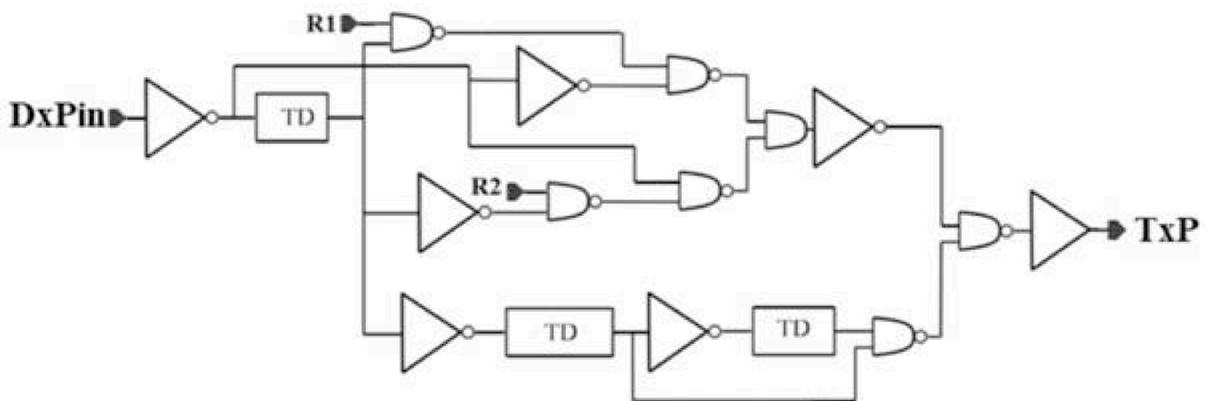


图5

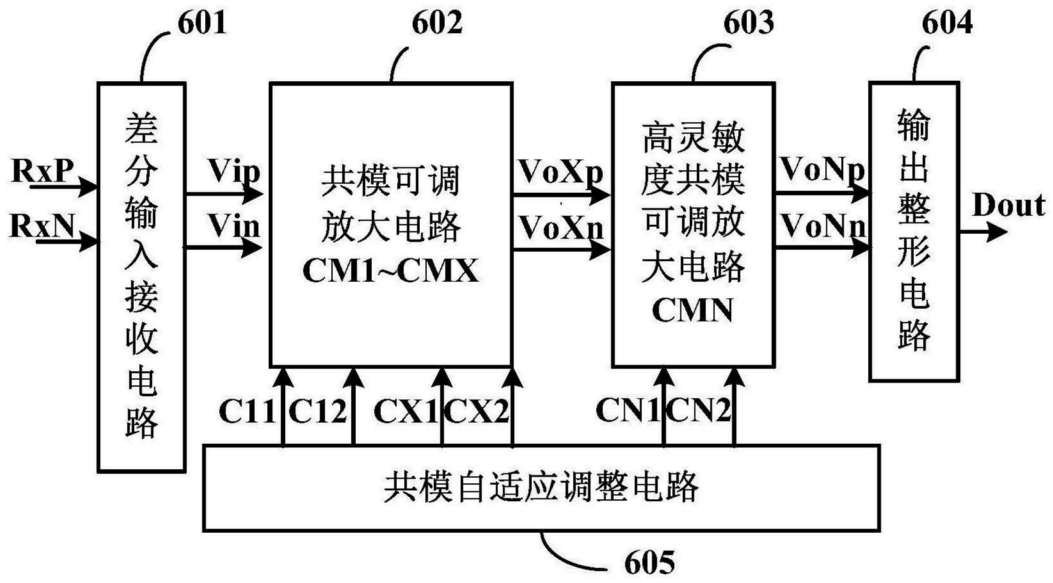


图6

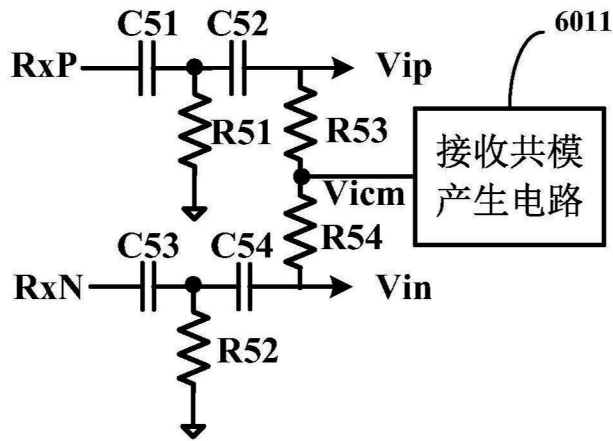


图7

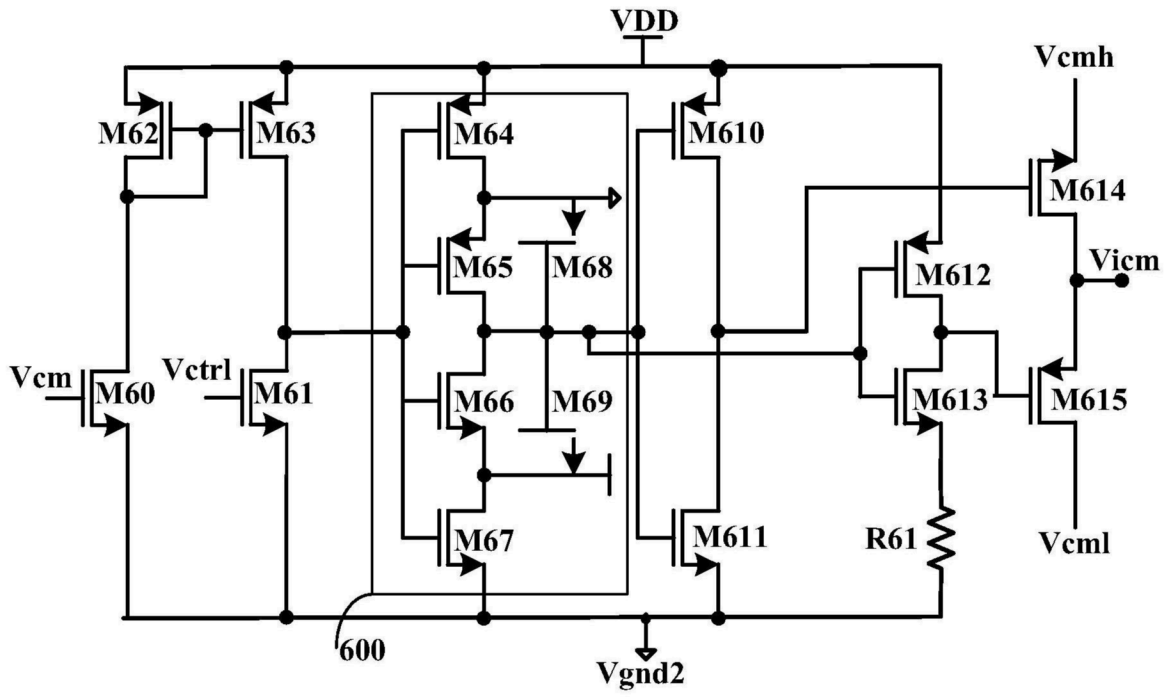


图8

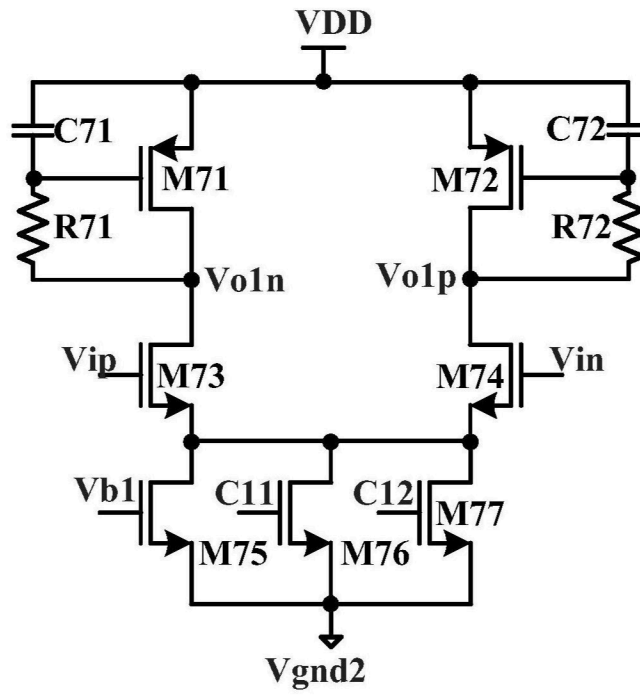


图9

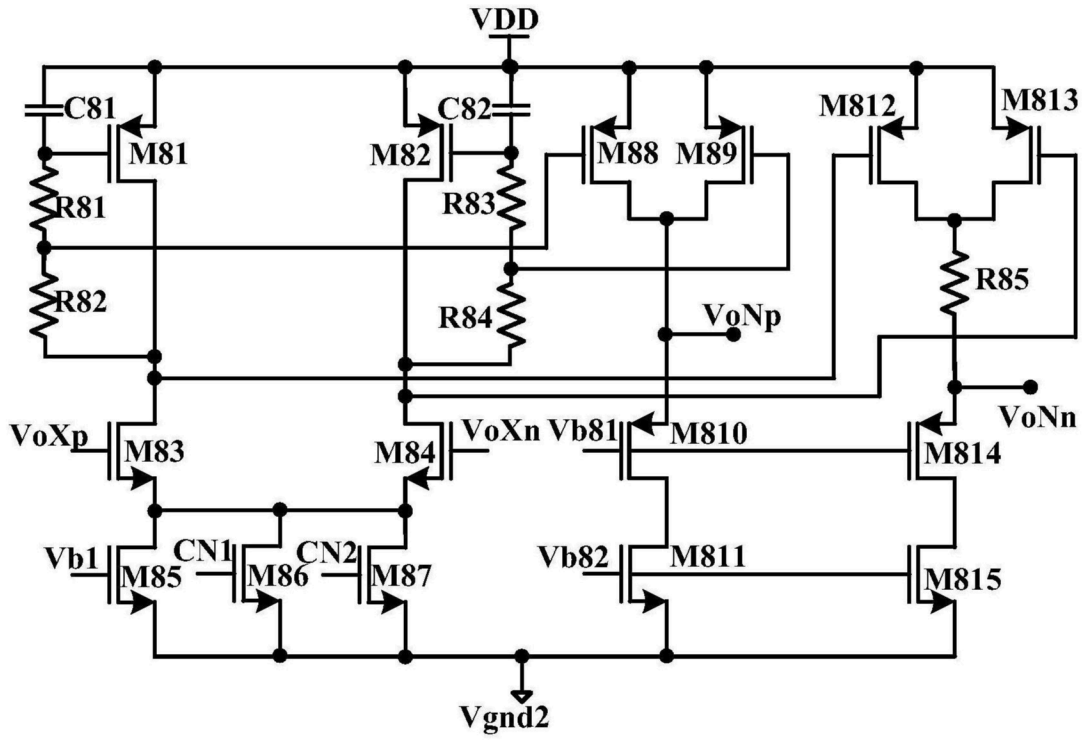


图10

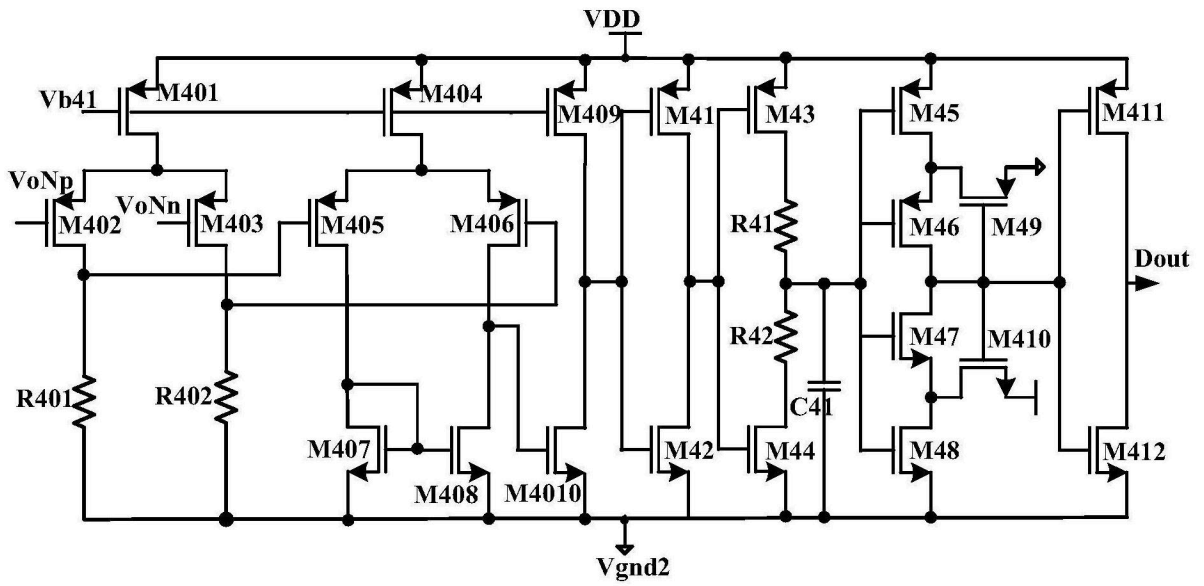


图11

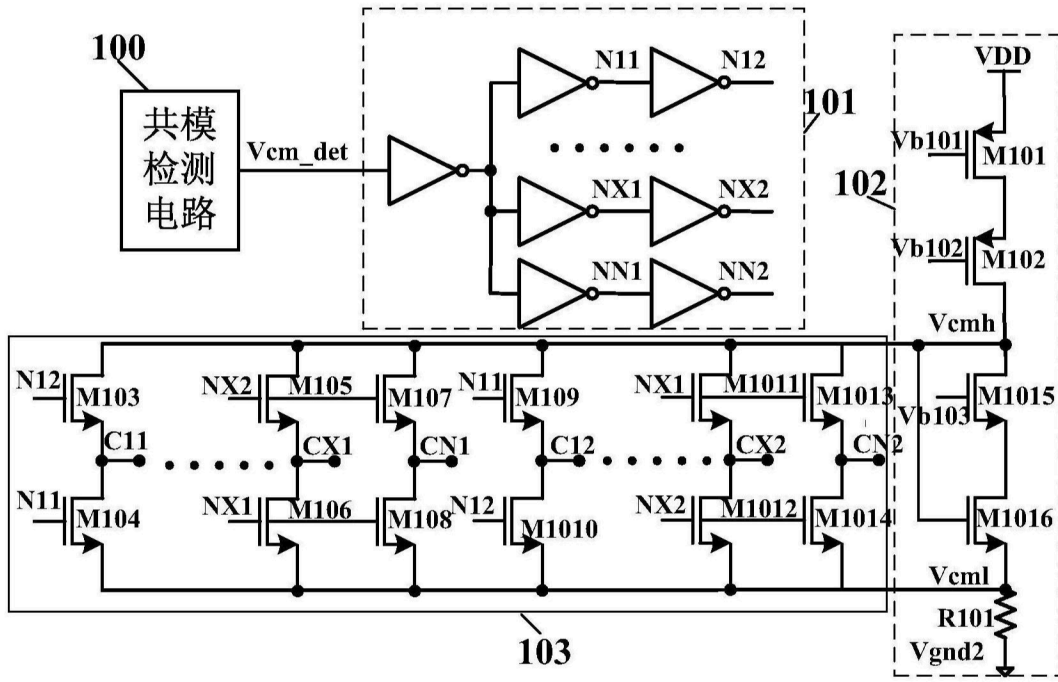


图12

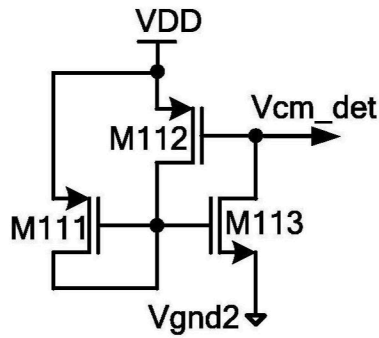


图13

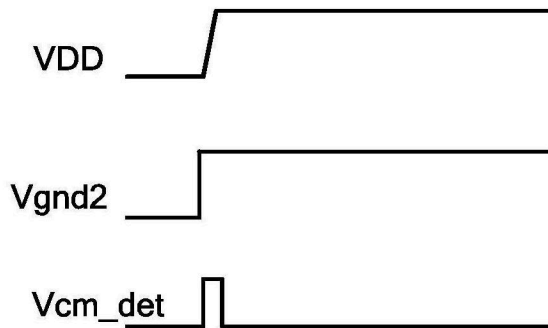


图14

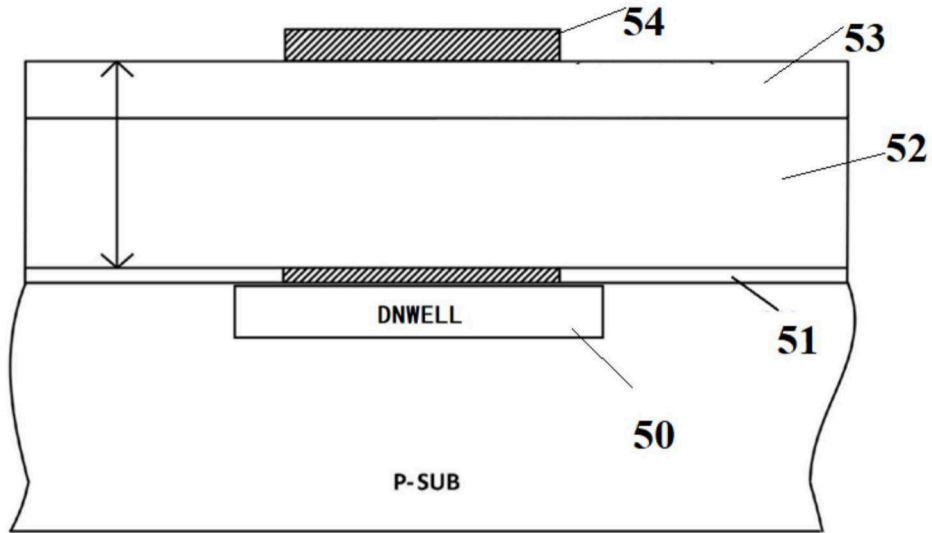


图15

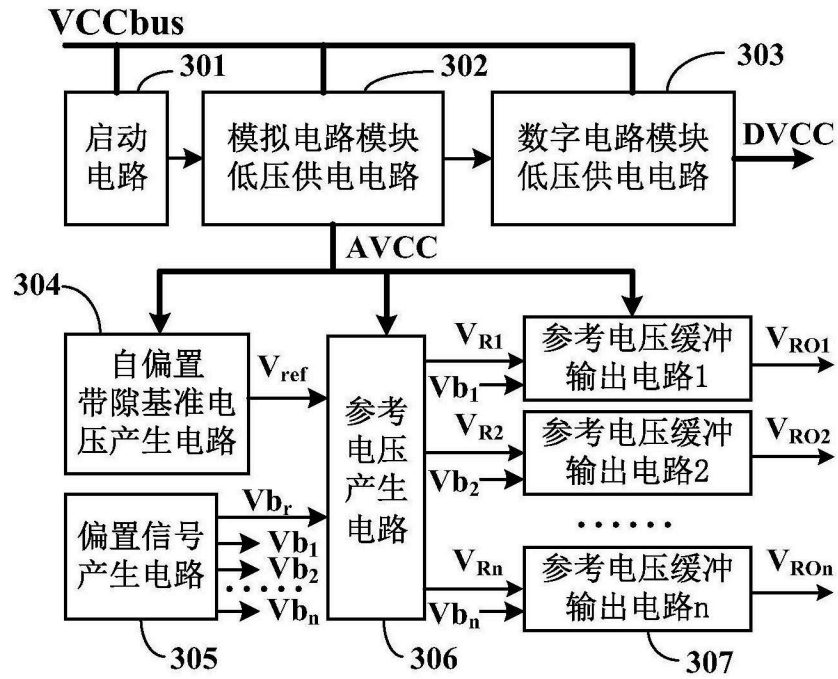


图16

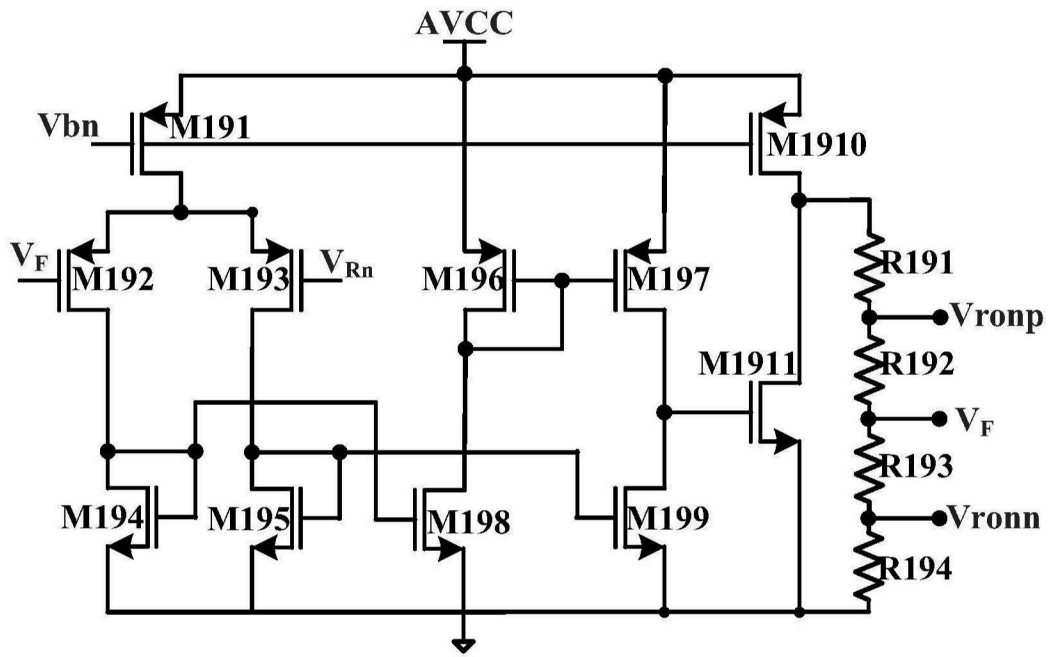


图19