



# (12) 发明专利

(10) 授权公告号 CN 113555414 B

(45) 授权公告日 2024.07.16

(21) 申请号 202110820925.0

H01L 29/10 (2006.01)

(22) 申请日 2021.07.20

H01L 29/417 (2006.01)

(65) 同一申请的已公布的文献号

H01L 29/78 (2006.01)

申请公布号 CN 113555414 A

H01L 21/28 (2006.01)

H01L 21/336 (2006.01)

(43) 申请公布日 2021.10.26

(56) 对比文件

(73) 专利权人 江苏中科汉韵半导体有限公司

CN 102263133 A, 2011.11.30

地址 221000 江苏省徐州市经济技术开发区创业路26号A-2厂房1F-2F

CN 102280487 A, 2011.12.14

审查员 李元

(72) 发明人 袁述 苗青

(74) 专利代理机构 苏州国诚专利代理有限公司

32293

专利代理师 韩凤

(51) Int. Cl.

H01L 29/06 (2006.01)

H01L 29/08 (2006.01)

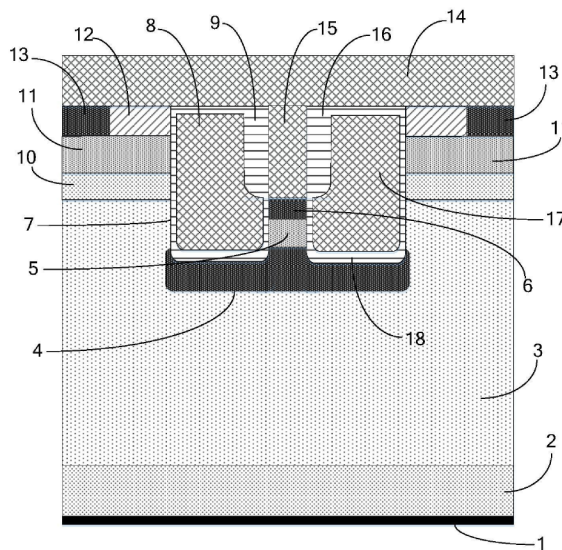
权利要求书5页 说明书16页 附图13页

## (54) 发明名称

沟槽型碳化硅场效应晶体管及其制备方法

## (57) 摘要

本发明涉及一种沟槽型碳化硅场效应晶体管及其制备方法。其在所述场效应晶体管的截面上,元胞沟槽包括元胞第一沟槽以及与所述元胞第一沟槽对应的元胞第二沟槽,第二导电类型屏蔽层上的第二导电类型槽间屏蔽连接柱伸入元胞第一沟槽与元胞第二沟槽之间,还包括与源极金属层电连接的槽间源极连接柱,所述槽间源极连接柱位于元胞第一沟槽与元胞第二沟槽间,源极金属层通过槽间源极连接柱能与第二导电类型槽间屏蔽连接柱电连接,以能使得源极金属层与第二导电类型屏蔽层电连接。本发明能提高碳化硅金属-氧化物半导体场效应晶体管的可靠性,同时降低导通电阻、减小开关损耗,提高碳化硅金属-氧化物半导体场效应晶体管的性能。



1. 一种沟槽型碳化硅场效应晶体管, 包括第一导电类型碳化硅衬底、设置于所述第一导电类型碳化硅衬底正面上的第一导电类型碳化硅外延层以及用于形成源电极的源极金属层; 在所述第一导电类型碳化硅外延层内设置若干元胞, 所述元胞包括位于第一导电类型碳化硅外延层内的元胞沟槽; 在所述元胞沟槽槽底的下方设置第二导电类型屏蔽层, 所述第二导电类型屏蔽层包覆元胞沟槽的槽底; 其特征是:

在所述场效应晶体管的截面上, 元胞沟槽包括元胞第一沟槽以及与所述元胞第一沟槽对应的元胞第二沟槽, 第二导电类型屏蔽层上的第二导电类型槽间屏蔽连接柱伸入元胞第一沟槽与元胞第二沟槽之间, 且第二导电类型槽间屏蔽连接柱与元胞第一沟槽、元胞第二沟槽相对应的侧壁接触;

还包括与源极金属层电连接的槽间源极连接柱, 所述槽间源极连接柱位于元胞第一沟槽与元胞第二沟槽间, 源极金属层通过槽间源极连接柱能与第二导电类型槽间屏蔽连接柱电连接, 以能使得源极金属层与第二导电类型屏蔽层电连接; 元胞第一沟槽内的栅极第一导电多晶硅通过栅极第一绝缘隔离体与槽间源极连接柱以及位于所述元胞第一沟槽上方的源极金属层绝缘隔离, 元胞第二沟槽内的栅极第二导电多晶硅通过栅极第二绝缘隔离体与槽间源极连接柱以及位于所述元胞第二沟槽上方的源极金属层绝缘隔离; 第二导电类型槽间屏蔽连接柱在元胞第一沟槽、元胞第二沟槽间的顶部不低于栅极第一导电多晶硅以及栅极第二导电多晶硅相应的底端;

在第二导电类型槽间屏蔽连接柱上设置第二导电类型掺杂沟道区以及位于所述第二导电类型掺杂沟道区上的第二导电类型源区, 第二导电类型掺杂沟道区与第二导电类型源区以及第二导电类型槽间屏蔽连接柱邻接; 所述第二导电类型源区与槽间源极连接柱欧姆接触, 槽间源极连接柱通过第二导电类型源区、第二导电类型掺杂沟道区与第二导电类型槽间屏蔽连接柱电连接;

第二导电类型掺杂沟道区、第二导电类型源区分别与元胞第一沟槽、元胞第二沟槽相应的侧壁接触, 第二导电类型掺杂沟道区、第二导电类型源区通过覆盖元胞第一沟槽内侧壁以及底壁的栅极第一绝缘氧化层与所述元胞第一沟槽内的栅极第一导电多晶硅隔离; 第二导电类型掺杂沟道区、第二导电类型源区通过覆盖元胞第二沟槽内侧壁以及底壁的栅极第二绝缘氧化层与所述元胞第二沟槽内的栅极第二导电多晶硅隔离。

2. 根据权利要求1所述的沟槽型碳化硅场效应晶体管, 其特征是: 栅极第一绝缘氧化层与栅极第一绝缘隔离体相互连接, 以能利用所述栅极第一绝缘氧化层、栅极第一绝缘隔离体包覆栅极第一导电多晶硅; 栅极第二绝缘氧化层与栅极第二绝缘隔离体相互连接, 以能利用所述栅极第二绝缘氧化层、栅极第二绝缘隔离体包覆栅极第二导电多晶硅。

3. 根据权利要求1或2所述的沟槽型碳化硅场效应晶体管, 其特征是: 还包括与元胞第一沟槽、元胞第二沟槽相应外侧壁接触的台面结构, 所述台面结构包括设置于第一导电类型碳化硅外延层内的第一导电类型电流扩展层以及位于所述第一导电类型电流扩展层上的第二导电类型碳化硅基区, 所述第二导电类型碳化硅基区与第一导电类型电流扩展层邻接;

在第二导电类型碳化硅基区上设置第一导电类型碳化硅源区以及第二导电类型碳化硅接触区, 第一导电类型碳化硅源区以及第二导电类型碳化硅接触区邻接, 源极金属层与第一导电类型碳化硅源区以及第二导电类型碳化硅接触区欧姆接触, 且第一导电类型碳化

硅源区、第一导电类型电流扩展层以及第二导电类型碳化硅基区与元胞第一沟槽、元胞第二沟槽相应的外侧壁接触。

4. 根据权利要求1或2所述的沟槽型碳化硅场效应晶体管,其特征是:在第一导电类型碳化硅衬底的背面设置背面漏极金属,所述背面漏极金属与第一导电类型碳化硅衬底欧姆接触。

5. 根据权利要求1或2所述的沟槽型碳化硅场效应晶体管,其特征是:第二导电类型槽间屏蔽连接柱与第二导电类型屏蔽层为同一工艺步骤层;栅极第二绝缘隔离体与栅极第一绝缘隔离体为同一工艺步骤层,且栅极第二绝缘隔离体、栅极第一绝缘隔离体均为二氧化硅。

6. 根据权利要求2所述的沟槽型碳化硅场效应晶体管,其特征是:所述栅极第一绝缘氧化层与栅极第二绝缘氧化层为同一工艺步骤层;与槽间源极连接柱接触的栅极第一绝缘隔离体、栅极第二绝缘隔离体相应的厚度大于栅极第一绝缘氧化层、栅极第二绝缘氧化层相对应的厚度。

7. 一种沟槽型碳化硅场效应晶体管的制备方法,其特征是,所述制备方法包括如下步骤:

步骤1、提供第一导电类型碳化硅衬底以及设置于第一导电类型碳化硅衬底上的第一导电类型碳化硅外延层,在所述第一导电类型碳化硅外延层内制备得到第二导电类型屏蔽层、元胞沟槽以及与元胞沟槽适配连接的台面结构,其中,元胞沟槽包括元胞第一沟槽以及元胞第二沟槽,第二导电类型屏蔽层包覆元胞第一沟槽、元胞第二沟槽相应的槽底外壁,第二导电类型屏蔽层上的第二导电类型槽间屏蔽连接柱伸入元胞第一沟槽与元胞第二沟槽之间,且第二导电类型槽间屏蔽连接柱与元胞第一沟槽、元胞第二沟槽相对应的侧壁接触,台面结构与元胞第一沟槽、元胞第二沟槽相对应的外侧壁接触;

步骤2、在元胞第一沟槽的侧壁以及底壁设置栅极第一绝缘氧化体,栅极第一绝缘氧化体覆盖元胞第一沟槽的侧壁以及底壁,在元胞第二沟槽的侧壁以及底壁设置栅极第二绝缘氧化体,栅极第二绝缘氧化体覆盖元胞第二沟槽的侧壁以及底壁;

步骤3、进行栅极多晶硅淀积,以能得到填充于元胞第一沟槽、元胞第二沟槽内的多晶硅填充体;

步骤4、对上述元胞第一沟槽、元胞第二沟槽内的多晶硅填充体进行刻蚀后,以能得到位于元胞第一沟槽内的栅极第一导电多晶硅、栅极第一绝缘隔离体填充槽以及栅极第一绝缘氧化层;同时,能得到位于元胞第二沟槽内的栅极第二导电多晶硅、栅极第二绝缘隔离体填充槽以及栅极第二绝缘氧化层;

步骤5、进行绝缘隔离材料淀积,以能得到栅极第一绝缘隔离体以及栅极第二绝缘隔离体,其中,栅极第一绝缘隔离体填充在栅极第一绝缘隔离体填充槽内且能覆盖栅极第一导电多晶硅,栅极第一绝缘隔离体与栅极第一绝缘氧化层接触;栅极第二绝缘隔离体填充在栅极第二绝缘隔离体填充槽内且能覆盖栅极第二导电多晶硅,栅极第二绝缘隔离体与栅极第二绝缘氧化层接触;

步骤6、进行所需的沟槽刻蚀,以能得到源极连接柱槽,源极连接柱槽位于元胞第一沟槽与元胞第二沟槽间,通过栅极第一绝缘隔离体、栅极第二绝缘隔离体分别形成源极连接柱槽的侧壁,所述源极连接柱槽的槽底与栅极第一绝缘隔离体填充槽、栅极第二绝缘隔离

体填充槽的槽底平齐；

步骤7、在源极连接柱槽的正上方进行第二导电类型杂质离子的注入,以能得到第二导电类型掺杂沟道区以及第二导电类型源区,第二导电类型掺杂沟道区邻接第二导电类型源区以及第二导电类型槽间屏蔽连接柱,第二导电类型源区位于第二导电类型掺杂沟道区正上方,第二导电类型掺杂沟道区以及第二导电类型源区分别与元胞第一沟槽、元胞第二沟槽相应的侧壁接触;且第二导电类型掺杂沟道区的底部不低于栅极第一导电多晶硅、栅极第二导电多晶硅的底部;

步骤8、在上述第一导电类型碳化硅外延层的正上方进行金属淀积,以能得到源极金属层以及填充在源极连接柱槽内的槽间源极连接柱,所述槽间源极连接柱与源极金属层电连接,槽间源极连接柱与第二导电类型源区欧姆接触,元胞第一沟槽内的栅极第一导电多晶硅通过栅极第一绝缘隔离体与槽间源极连接柱以及位于所述元胞第一沟槽上方的源极金属层绝缘隔离,元胞第二沟槽内的栅极第二导电多晶硅通过栅极第二绝缘隔离体与槽间源极连接柱以及位于所述元胞第二沟槽上方的源极金属层绝缘隔离;

步骤9、在第一导电类型碳化硅衬底的背面制作背面漏极金属,所述背面漏极金属与第一导电类型碳化硅衬底欧姆接触。

8. 根据权利要求7所述沟槽型碳化硅场效应晶体管的制备方法,其特征是,所述步骤1,具体包括如下步骤:

步骤1.1、提供第一导电类型碳化硅衬底,并在所述第一导电类型碳化硅衬底上生长得到第一导电类型碳化硅外延层;

步骤1.2、在第一导电类型碳化硅外延层上方进行第一导电类型杂质离子注入,以在第一导电类型碳化硅外延层内得到贯穿第一导电类型碳化硅外延层的第一导电类型电流扩展基层;

步骤1.3、在上述第一导电类型碳化硅外延层上方进行第二导电类型杂质离子注入,以能得到第二导电类型碳化硅基区层,所述第二导电类型碳化硅基区层与第一导电类型电流扩展基层邻接;

步骤1.4、进行第二导电类型杂质离子注入,以能在第二导电类型碳化硅基区层内得到第二导电类型碳化硅接触区;

步骤1.5、进行第一导电类型杂质离子的注入,以能得到位于第二导电类型碳化硅基区层内的第一导电类型碳化硅源区,所述第一导电类型碳化硅源区与相邻的第二导电类型碳化硅接触区邻接;

步骤1.6、利用沟槽刻蚀工艺在沟槽刻蚀后,得到元胞沟槽,所述元胞沟槽包括元胞第一沟槽以及元胞第二沟槽,其中,元胞第一沟槽、元胞第二沟槽贯穿第二导电类型碳化硅基区层以及第一导电类型电流扩展基层,以能通过第二导电类型碳化硅基区层、第一导电类型电流扩展基层分别形成第二导电类型碳化硅基区、第一导电类型电流扩展层,元胞第一沟槽、元胞第二沟槽相应的槽底位于第一导电类型电流扩展层的下方,且利用第二导电类型碳化硅基区、第一导电类型电流扩展层、位于第二导电类型碳化硅基区上的第一导电类型碳化硅源区与所述第一导电类型碳化硅源区相邻的第二导电类型碳化硅接触区能形成台面结构;

步骤1.7、通过所需离子注入工艺与推结,以能在第一导电类型碳化硅外延层内得到第



第二导电类型屏蔽层以及与所述第二导电类型屏蔽层连接的第二导电类型槽间屏蔽连接柱,第二导电类型屏蔽层能包覆元胞第一沟槽、元胞第二沟槽相应的槽底,第二导电类型槽间屏蔽连接柱能伸入元胞第一沟槽、元胞第二沟槽间,且第二导电类型槽间屏蔽连接柱与元胞第一沟槽、元胞第二沟槽相对应的侧壁接触。

9. 根据权利要求7所述沟槽型碳化硅场效应晶体管的制备方法,其特征是,所述步骤1,具体包括如下步骤:

步骤a、提供第一导电类型碳化硅衬底,并在所述第一导电类型碳化硅衬底上生长得到第一导电类型碳化硅外延层,在生长第一导电类型碳化硅外延层的过程中,进行第二导电类型杂质离子的注入与推结,以能在第一导电类型碳化硅外延层内得到第二导电类型屏蔽基层;

步骤b、在第一导电类型碳化硅外延层上方进行第一导电类型杂质离子注入,以在第一导电类型碳化硅外延层内得到贯穿第一导电类型碳化硅外延层的第一导电类型电流扩展基层;

步骤c、在上述第一导电类型碳化硅外延层上方进行第二导电类型杂质离子注入,以能得到第二导电类型碳化硅基区层,所述第二导电类型碳化硅基区层与第一导电类型电流扩展基层邻接;

步骤d、进行第二导电类型杂质离子注入,以能在第二导电类型碳化硅基区层内得到第二导电类型碳化硅接触区;

步骤e、进行第一导电类型杂质离子的注入,以能得到位于第二导电类型碳化硅基区层内的第一导电类型碳化硅源区,所述第一导电类型碳化硅源区与相邻的第二导电类型碳化硅接触区邻接;

步骤f、利用沟槽刻蚀工艺在沟槽刻蚀后,得到元胞沟槽,所述元胞沟槽包括元胞第一沟槽以及元胞第二沟槽,其中,元胞第一沟槽、元胞第二沟槽贯穿第二导电类型碳化硅基区层以及第一导电类型电流扩展基层,以能通过第二导电类型碳化硅基区层、第一导电类型电流扩展基层分别形成第二导电类型碳化硅基区、第一导电类型电流扩展层,元胞第一沟槽、元胞第二沟槽相应的槽底位于第一导电类型电流扩展层的下方,且利用第二导电类型碳化硅基区、第一导电类型电流扩展层、位于第二导电类型碳化硅基区上的第一导电类型碳化硅源区与所述第一导电类型碳化硅源区相邻的第二导电类型碳化硅接触区能形成台面结构;

同时,利用第二导电类型屏蔽基层能形成第二导电类型屏蔽层以及第二导电类型槽间屏蔽连接柱,第二导电类型屏蔽层能包覆元胞第一沟槽、元胞第二沟槽相应的槽底,第二导电类型槽间屏蔽连接柱能伸入元胞第一沟槽、元胞第二沟槽间,且第二导电类型槽间屏蔽连接柱与元胞第一沟槽、元胞第二沟槽相对应的侧壁接触。

10. 根据权利要求7所述沟槽型碳化硅场效应晶体管的制备方法,其特征是,所述栅极第一绝缘隔离体以及栅极第二绝缘隔离体均为二氧化硅。

11. 根据权利要求7至10任一项所述沟槽型碳化硅场效应晶体管的制备方法,其特征是,所述第二导电类型掺杂沟道区的掺杂浓度低于所述第二导电类型源区的掺杂浓度。

12. 根据权利要求7至10任一项所述沟槽型碳化硅场效应晶体管的制备方法,其特征是,栅极第一绝缘氧化体、栅极第二绝缘氧化体通过热氧化分别生长在元胞第一沟槽内、元

胞第二沟槽内;与槽间源极连接柱接触的栅极第一绝缘隔离体、栅极第二绝缘隔离体相应的厚度大于栅极第一绝缘氧化层、栅极第二绝缘氧化层相对应的厚度。

## 沟槽型碳化硅场效应晶体管及其制备方法

### 技术领域

[0001] 本发明涉及一种场效应晶体管及其制备方法,尤其是一种沟槽型碳化硅场效应晶体管及其制备方法。

### 背景技术

[0002] 碳化硅材料作为第三代宽禁带半导体材料的代表之一,基于碳化硅材料制作的高压功率器件较传统的硅器件具有优异的电、热性能,可以满足更苛刻的应用环境,被认为是大功率、高温及高频电力电子领域,如电源、光伏发电、电动汽车、航天航空等领域最有潜力的材料。基于过去几年电气性能、制造工艺和可靠性的改进,碳化硅功率金属-氧化物半导体场效应晶体管逐渐成熟。碳化硅功率金属-氧化物半导体场效应晶体管具有低的导通电阻、低的开关损耗和良好的开关性能,逐渐成为新一代主流低损耗的功率器件。

[0003] 目前,碳化硅场效应晶体管的栅电极主要可分为两种类型:平面栅和沟槽栅。沟槽栅碳化硅场效应晶体管能消除平面栅中存在的JFET区,降低了器件的导通电阻,提高了沟道密度。然而,沟槽栅碳化硅场效应晶体管处于阻断状态时,栅极沟槽底部的外延层由于曲率效应导致高的电场强度。根据高斯定理,此时,栅极沟槽底部的氧化层会受到比碳化硅材料高近2.8倍的极端电场应力,从而导致栅极氧化层的质量退化和器件性能下降。对碳化硅U型沟槽栅场效应晶体管,可通过更圆滑的槽形底部结构来降低沟槽底部应力,从而提升器件的可靠性。但是U型沟槽的刻蚀难度较大,工艺较为复杂,底部很难形成圆滑的结构形貌。

[0004] 另外,也可以在沟槽底部设置接地屏蔽层来提高可靠性,引入的屏蔽层能在外延层内拓宽空间电荷区,通过空间电荷区耐压能有效降低沟槽底部氧化层的电场强度,提高器件的可靠性。然而,接地屏蔽层会同时引入了新的JFET区,导致场效应管的导通电阻增加。屏蔽层的导电类型与外延层的导电类型相反,如外延层为N型,则屏蔽层为P型。

[0005] 综上,现有技术中,制备碳化硅金属-氧化物半导体场效应晶体管时,存在沟槽底部因氧化层厚度不足或底部尖锐边角处氧化层覆盖不足的情况,由此容易因电场集中产生栅极氧化层击穿,最终导致碳化硅金属-氧化物半导体场效应晶体管的栅极氧化层可靠性低的问题。

### 发明内容

[0006] 本发明的目的是克服现有技术中存在的不足,提供一种沟槽型碳化硅场效应晶体管及其制备方法,其能提高碳化硅金属-氧化物半导体场效应晶体管的可靠性,同时降低导通电阻、减小开关损耗,提高碳化硅金属-氧化物半导体场效应晶体管的性能。

[0007] 按照本发明提供的技术方案,所述沟槽型碳化硅场效应晶体管,包括第一导电类型碳化硅衬底、设置于所述第一导电类型碳化硅衬底正面上的第一导电类型碳化硅外延层以及用于形成源电极的源极金属层;在所述第一导电类型碳化硅外延层内设置若干元胞,所述元胞包括位于第一导电类型碳化硅外延层内的元胞沟槽;在所述元胞沟槽槽底的下方设置第二导电类型屏蔽层,所述第二导电类型屏蔽层包覆元胞沟槽的槽底;

[0008] 在所述场效应晶体管的截面上,元胞沟槽包括元胞第一沟槽以及与所述元胞第一沟槽对应的元胞第二沟槽,第二导电类型屏蔽层上的第二导电类型槽间屏蔽连接柱伸入元胞第一沟槽与元胞第二沟槽之间,且第二导电类型槽间屏蔽连接柱与元胞第一沟槽、元胞第二沟槽相对应的侧壁接触;

[0009] 还包括与源极金属层电连接的槽间源极连接柱,所述槽间源极连接柱位于元胞第一沟槽与元胞第二沟槽间,源极金属层通过槽间源极连接柱能与第二导电类型槽间屏蔽连接柱电连接,以能使得源极金属层与第二导电类型屏蔽层电连接;元胞第一沟槽内的栅极第一导电多晶硅通过栅极第一绝缘隔离体与槽间源极连接柱以及位于所述元胞第一沟槽上方的源极金属层绝缘隔离,元胞第二沟槽内的栅极第二导电多晶硅通过栅极第二绝缘隔离体与槽间源极连接柱以及位于所述元胞第二沟槽上方的源极金属层绝缘隔离;第二导电类型槽间屏蔽连接柱在元胞第一沟槽、元胞第二沟槽间的顶部不低于栅极第一导电多晶硅以及栅极第二导电多晶硅相应的底端。

[0010] 在第二导电类型槽间屏蔽连接柱上设置第二导电类型掺杂沟道区以及位于所述第二导电类型掺杂沟道区上的第二导电类型源区,第二导电类型掺杂沟道区与第二导电类型源区以及第二导电类型槽间屏蔽连接柱邻接;所述第二导电类型源区与槽间源极连接柱欧姆接触,槽间源极连接柱通过第二导电类型源区、第二导电类型掺杂沟道区与第二导电类型槽间屏蔽连接柱电连接;

[0011] 第二导电类型掺杂沟道区、第二导电类型源区分别与元胞第一沟槽、元胞第二沟槽相应的侧壁接触,第二导电类型掺杂沟道区、第二导电类型源区通过覆盖元胞第一沟槽内侧壁以及底壁的栅极第一绝缘氧化层与所述元胞第一沟槽内的栅极第一导电多晶硅隔离;第二导电类型掺杂沟道区、第二导电类型源区通过覆盖元胞第二沟槽内侧壁以及底壁的栅极第二绝缘氧化层与所述元胞第二沟槽内的栅极第二导电多晶硅隔离;

[0012] 栅极第一绝缘氧化层与栅极第一绝缘隔离体相互连接,以能利用所述栅极第一绝缘氧化层、栅极第一绝缘隔离体包覆栅极第一导电多晶硅;栅极第二绝缘氧化层与栅极第二绝缘隔离体相互连接,以能利用所述栅极第二绝缘氧化层、栅极第二绝缘隔离体包覆栅极第二导电多晶硅。

[0013] 还包括与元胞第一沟槽、元胞第二沟槽相应外侧壁接触的台面结构,所述台面结构包括设置于第一导电类型碳化硅外延层内的第一导电类型电流扩展层以及位于所述第一导电类型电流扩展层上的第二导电类型碳化硅基区,所述第二导电类型碳化硅基区与第一导电类型电流扩展层邻接;

[0014] 在第二导电类型碳化硅基区上设置第一导电类型碳化硅源区以及第二导电类型碳化硅接触区,第一导电类型碳化硅源区以及第二导电类型碳化硅接触区邻接,源极金属层与第一导电类型碳化硅源区以及第二导电类型碳化硅接触区欧姆接触,且第一导电类型碳化硅源区、第一导电类型电流扩展层以及第二导电类型碳化硅基区与元胞第一沟槽、元胞第二沟槽相应的外侧壁接触。

[0015] 在第一导电类型碳化硅衬底的背面设置背面漏极金属,所述背面漏极金属与第一导电类型碳化硅衬底欧姆接触。

[0016] 第二导电类型槽间屏蔽连接柱与第二导电类型屏蔽层为同一工艺步骤层;栅极第二绝缘隔离体与栅极第一绝缘隔离体为同一工艺步骤层,且栅极第二绝缘隔离体、栅极第

一绝缘隔离体均为二氧化硅。

[0017] 所述栅极第一绝缘氧化层与栅极第二绝缘氧化层为同一工艺步骤层;与槽间源极连接柱接触的栅极第一绝缘隔离体、栅极第二绝缘隔离体相应的厚度大于栅极第一绝缘氧化层、栅极第二绝缘氧化层相对应的厚度。

[0018] 一种沟槽型碳化硅场效应晶体管的制备方法,所述制备方法包括如下步骤:

[0019] 步骤1、提供第一导电类型碳化硅衬底以及设置于第一导电类型碳化硅衬底上的第一导电类型碳化硅外延层,在所述第一导电类型碳化硅外延层内制备得到第二导电类型屏蔽层、元胞沟槽以及与元胞沟槽适配连接的台面结构,其中,元胞沟槽包括元胞第一沟槽以及元胞第二沟槽,第二导电类型屏蔽层包覆元胞第一沟槽、元胞第二沟槽相应的槽底外壁,第二导电类型屏蔽层上的第二导电类型槽间屏蔽连接柱伸入元胞第一沟槽与元胞第二沟槽之间,且第二导电类型槽间屏蔽连接柱与元胞第一沟槽、元胞第二沟槽相对应的侧壁接触,台面结构与元胞第一沟槽、元胞第二沟槽相对应的外侧壁接触;

[0020] 步骤2、在元胞第一沟槽的侧壁以及底壁设置栅极第一绝缘氧化体,栅极第一绝缘氧化体覆盖元胞第一沟槽的侧壁以及底壁,在元胞第二沟槽的侧壁以及底壁设置栅极第二绝缘氧化体,栅极第二绝缘氧化体覆盖元胞第二沟槽的侧壁以及底壁;

[0021] 步骤3、进行栅极多晶硅淀积,以能得到填充于元胞第一沟槽、元胞第二沟槽内的多晶硅填充体;

[0022] 步骤4、对上述元胞第一沟槽、元胞第二沟槽内的多晶硅填充体进行刻蚀后,以能得到位于元胞第一沟槽内的栅极第一导电多晶硅、栅极第一绝缘隔离体填充槽以及栅极第一绝缘氧化层;同时,能得到位于元胞第二沟槽内的栅极第二导电多晶硅、栅极第二绝缘隔离体填充槽以及栅极第二绝缘氧化层;

[0023] 步骤5、进行绝缘隔离材料淀积,以能得到栅极第一绝缘隔离体以及栅极第二绝缘隔离体,其中,栅极第一绝缘隔离体填充在栅极第一绝缘隔离体填充槽内且能覆盖栅极第一导电多晶硅,栅极第一绝缘隔离体与栅极第一绝缘氧化层接触;栅极第二绝缘隔离体填充在栅极第二绝缘隔离体填充槽内且能覆盖栅极第二导电多晶硅,栅极第二绝缘隔离体与栅极第二绝缘氧化层接触;

[0024] 步骤6、进行所需的沟槽刻蚀,以能得到源极连接柱槽,源极连接柱槽位于元胞第一沟槽与源极第二沟槽间,通过栅极第一绝缘隔离体、栅极第二绝缘隔离体分别形成源极连接柱槽的侧壁,所述源极连接柱槽的槽底与栅极第一绝缘隔离体填充槽、栅极第二绝缘隔离体填充槽的槽底平齐;

[0025] 步骤7、在源极连接柱槽的正上方进行第二导电类型杂质离子的注入,以能得到第二导电类型掺杂沟道区以及第二导电类型源区,第二导电类型掺杂沟道区邻接第二导电类型源区以及第二导电类型槽间屏蔽连接柱,第二导电类型源区位于第二导电类型掺杂沟道区正上方,第二导电类型掺杂沟道区以及第二导电类型源区分别与元胞第一沟槽、元胞第二沟槽相应的侧壁接触;且第二导电类型掺杂沟道区的底部不低于栅极第一导电多晶硅、栅极第二导电多晶硅的底部;

[0026] 步骤8、在上述第一导电类型碳化硅外延层的正上方进行金属淀积,以能得到源极金属层以及填充在源极连接柱槽内的槽间源极连接柱,所述槽间源极连接柱与源极金属层电连接,槽间源极连接柱与第二导电类型源区欧姆接触,元胞第一沟槽内的栅极第一导电

多晶硅通过栅极第一绝缘隔离体与槽间源极连接柱以及位于所述元胞第一沟槽上方的源极金属层绝缘隔离,元胞第二沟槽内的栅极第二导电多晶硅通过栅极第二绝缘隔离体与槽间源极连接柱以及位于所述元胞第二沟槽上方的源极金属层绝缘隔离;

[0027] 步骤9、在第一导电类型碳化硅衬底的背面制作背面漏极金属,所述背面漏极金属与第一导电类型碳化硅衬底欧姆接触。

[0028] 所述步骤1,具体包括如下步骤:

[0029] 步骤1.1、提供第一导电类型碳化硅衬底,并在所述第一导电类型碳化硅衬底上生长得到第一导电类型碳化硅外延层;

[0030] 步骤1.2、在第一导电类型碳化硅外延层上方进行第一导电类型杂质离子注入,以在第一导电类型碳化硅外延层内得到贯穿第一导电类型碳化硅外延层的第一导电类型电流扩展基层;

[0031] 步骤1.3、在上述第一导电类型碳化硅外延层上方进行第二导电类型杂质离子注入,以能得到第二导电类型碳化硅基区层,所述第二导电类型碳化硅基区层与第一导电类型电流扩展基层邻接;

[0032] 步骤1.4、进行第二导电类型杂质离子注入,以能在第二导电类型碳化硅基区层内得到第二导电类型碳化硅接触区;

[0033] 步骤1.5、进行第一导电类型杂质离子的注入,以能得到位于第二导电类型碳化硅基区层内的第一导电类型碳化硅源区,所述第一导电类型碳化硅源区与相邻的第二导电类型碳化硅接触区邻接;

[0034] 步骤1.6、利用沟槽刻蚀工艺在沟槽刻蚀后,得到元胞沟槽,所述元胞沟槽包括元胞第一沟槽以及元胞第二沟槽,其中,元胞第一沟槽、元胞第二沟槽贯穿第二导电类型碳化硅基区层以及第一导电类型电流扩展基层,以能通过第二导电类型碳化硅基区层、第一导电类型电流扩展基层分别形成第二导电类型碳化硅基区、第一导电类型电流扩展层,元胞第一沟槽、元胞第二沟槽相应的槽底位于第一导电类型电流扩展层的下方,且利用第二导电类型碳化硅基区、第一导电类型电流扩展层、位于第二导电类型碳化硅基区上的第一导电类型碳化硅源区与所述第一导电类型碳化硅源区相邻的第二导电类型碳化硅接触区能形成台面结构;

[0035] 步骤1.7、通过所需离子注入工艺与推结,以能在第一导电类型碳化硅外延层内得到第二导电类型屏蔽层以及与所述第二导电类型屏蔽层连接的第二导电类型槽间屏蔽连接柱,第二导电类型屏蔽层能包覆元胞第一沟槽、元胞第二沟槽相应的槽底,第二导电类型槽间屏蔽连接柱能伸入元胞第一沟槽、元胞第二沟槽间,且第二导电类型槽间屏蔽连接柱与元胞第一沟槽、元胞第二沟槽相对应的侧壁接触。

[0036] 所述步骤1,具体包括如下步骤:

[0037] 步骤a、提供第一导电类型碳化硅衬底,并在所述第一导电类型碳化硅衬底上生长得到第一导电类型碳化硅外延层,在生长第一导电类型碳化硅外延层的过程中,进行第二导电类型杂质离子的注入与推结,以能在第一导电类型碳化硅外延层内得到第二导电类型屏蔽基层;

[0038] 步骤b、在第一导电类型碳化硅外延层上方进行第一导电类型杂质离子注入,以在第一导电类型碳化硅外延层内得到贯穿第一导电类型碳化硅外延层的第一导电类型电流



扩展基层；

[0039] 步骤c、在上述第一导电类型碳化硅外延层上方进行第二导电类型杂质离子注入，以能得到第二导电类型碳化硅基区层，所述第二导电类型碳化硅基区层与第一导电类型电流扩展基层邻接；

[0040] 步骤d、进行第二导电类型杂质离子注入，以能在第二导电类型碳化硅基区层内得到第二导电类型碳化硅接触区；

[0041] 步骤e、进行第一导电类型杂质离子的注入，以能得到位于第二导电类型碳化硅基区层内的第一导电类型碳化硅源区，所述第一导电类型碳化硅源区与相邻的第二导电类型碳化硅接触区邻接；

[0042] 步骤f、利用沟槽刻蚀工艺在沟槽刻蚀后，得到元胞沟槽，所述元胞沟槽包括元胞第一沟槽以及元胞第二沟槽，其中，元胞第一沟槽、元胞第二沟槽贯穿第二导电类型碳化硅基区层以及第一导电类型电流扩展基层，以能通过第二导电类型碳化硅基区层、第一导电类型电流扩展基层分别形成第二导电类型碳化硅基区、第一导电类型电流扩展层，元胞第一沟槽、元胞第二沟槽相应的槽底位于第一导电类型电流扩展层的下方，且利用第二导电类型碳化硅基区、第一导电类型电流扩展层、位于第二导电类型碳化硅基区上的第一导电类型碳化硅源区与所述第一导电类型碳化硅源区相邻的第二导电类型碳化硅接触区能形成台面结构；

[0043] 同时，利用第二导电类型屏蔽基层能形成第二导电类型屏蔽层以及第二导电类型槽间屏蔽连接柱，第二导电类型屏蔽层能包覆元胞第一沟槽、元胞第二沟槽相应的槽底，第二导电类型槽间屏蔽连接柱能伸入元胞第一沟槽、元胞第二沟槽间，且第二导电类型槽间屏蔽连接柱与元胞第一沟槽、元胞第二沟槽相对应的侧壁接触。

[0044] 所述栅极第一绝缘隔离体以及栅极第二绝缘隔离体均为二氧化硅。

[0045] 所述第二导电类型掺杂沟道区的掺杂浓度低于所述第二导电类型源区的掺杂浓度。

[0046] 栅极第一绝缘氧化体、栅极第二绝缘氧化体通过热氧化分别生长在元胞第一沟槽内、元胞第二沟槽内；与槽间源极连接柱接触的栅极第一绝缘隔离体、栅极第二绝缘隔离体相应的厚度大于栅极第一绝缘氧化层、栅极第二绝缘氧化层相对应的厚度。

[0047] 所述“第一导电类型”和“第二导电类型”两者中，对于N型场效应晶体管，第一导电类型指N型，第二导电类型为P型；对于P型场效应晶体管，第一导电类型与第二导电类型所指的类型与N型功率半导体器件正好相反。

[0048] 本发明的优点：槽间源极连接柱与第二导电类型源区、第二导电类型掺杂沟道区、第二导电类型槽间屏蔽连接柱以及第二导电类型屏蔽层能构成一个耗尽型MOS管，以能使得第二导电类型屏蔽层的电位可根据场效应晶体管的栅极电位自调节。

[0049] 当场效应晶体管工作在导通状态时，根据场效应晶体管的栅极电压状态，能使得所述构成的耗尽型MOS管被夹断关闭，接地的第二导电类型屏蔽层的电位将切换到浮空状态，导致第二导电类型屏蔽层电位升高，第一导电类型碳化硅外延层内耗尽层收缩，场效应晶体管具有更大的电流导通面积和更强的导通能力，有效降低了导通电阻。

[0050] 当所述场效应晶体管变为阻断状态时，根据场效应晶体管的栅偏置电压能使得所述耗尽型MOS管工作在导通状态，此时第二导电类型屏蔽层和源极金属层同为共地电位。所

述耗尽型MOS管的沟道保持开启,第二导电类型屏蔽层接地,第二导电类型屏蔽层与第一导电类型碳化硅外延层构成的二极管承受主要的阻断电压,第一导电类型碳化硅外延层和第二导电类型碳化硅基区构成的二极管起辅助作用。由于第二导电类型屏蔽层和源极金属层共地,栅极第一绝缘氧化层、栅极第二绝缘栅氧化层相对应底部以及拐角的电场可以被有效屏蔽。同时,接地的第二导电类型屏蔽层也会通过栅极第一绝缘氧化层、栅极第二绝缘栅氧化层侧面的电势进而减小电场强度,更好地保护元胞第一沟槽内的栅极第一绝缘氧化层以及元胞第二沟槽内的栅极第二绝缘氧化层。同时,场效应晶体管的栅漏电荷由于接地第二导电类型屏蔽层的屏蔽效应被减小。随着导通电阻和栅漏电荷的减小,本发明的碳化硅场效应晶体管器件能获得的高频优值,即能降低了开关损耗,与传统碳化硅沟槽栅金属-氧化物半导体场效应晶体管器件相比,开关损耗得到了显著降低。

## 附图说明

- [0051] 图1为本发明的结构示意图。
- [0052] 图2~图17为本发明一种实施情况的具体实施步骤剖视图,其中
- [0053] 图2为本发明在N型碳化硅衬底上得到N型碳化硅外延层后的剖视图。
- [0054] 图3为本发明得到N型电流扩展基层后的剖视图。
- [0055] 图4为本发明得到P型碳化硅基区层后的剖视图。
- [0056] 图5为本发明得到P+碳化硅接触区后的剖视图。
- [0057] 图6为本发明得到N+型碳化硅源区后的剖视图。
- [0058] 图7为本发明得到元胞第一沟槽、元胞第二沟槽后的剖视图。
- [0059] 图8为本发明得到P+屏蔽层以及P+槽间屏蔽连接柱后的剖视图。
- [0060] 图9为本发明栅极第一绝缘氧化体、栅极第二绝缘氧化体后的剖视图。
- [0061] 图10为本发明得到多晶硅填充体后的剖视图。
- [0062] 图11为本发明得到栅极第一绝缘隔离体填充槽、栅极第二绝缘隔离体填充槽后的剖视图。
- [0063] 图12为本发明得到栅极第一绝缘隔离体、栅极第二绝缘隔离体后的剖视图。
- [0064] 图13为本发明得到源极连接柱槽后的剖视图。
- [0065] 图14为本发明得到P+掺杂沟道区后的剖视图。
- [0066] 图15为本发明得到P+源区后的剖视图。
- [0067] 图16为本发明得到源极金属层以及槽间源极连接柱后的剖视图。
- [0068] 图17为本发明得到背面漏极金属后的剖视图。
- [0069] 附图标记说明:1-背面漏极金属、2-N型碳化硅衬底、3-N型碳化硅外延层、4-P+屏蔽层、5-P+掺杂沟道区、6-P+源区、7-栅极第一绝缘氧化层、8-栅极第一导电多晶硅、9-栅极第一绝缘隔离体、10-N型电流扩展层、11-P型碳化硅基区、12-N+碳化硅源区、13-P+碳化硅接触区、14-源极金属层、15-槽间源极连接柱、16-栅极第二绝缘隔离体、17-栅极第二导电多晶硅、18-栅极第二绝缘氧化层、19-N型电流扩展基层、20-P型碳化硅基区层、21-元胞第一沟槽、22-元胞第二沟槽、23-P+槽间屏蔽连接柱、24-栅极第一绝缘隔离体填充槽、25-栅极第二绝缘隔离体填充槽、26-填充槽内第一过渡区、27-填充槽内第二过渡区、28-源极连接柱槽、29-栅极第一绝缘氧化体、30-栅极第二绝缘氧化体以及31-多晶硅填充体。

## 具体实施方式

[0070] 下面结合具体附图和实施例对本发明作进一步说明。

[0071] 如图1和图17所示:为了提高碳化硅金属-氧化物半导体场效应晶体管的可靠性,同时降低导通电阻、减小开关损耗,提高碳化硅金属-氧化物半导体场效应晶体管的性能,以第一导电类型为N型为例,本发明包括N型碳化硅衬底2、设置于所述N型碳化硅衬底2正面上的N型碳化硅外延层3以及用于形成源电极的源极金属层14;在所述N型碳化硅外延层3内设置若干元胞,所述元胞包括位于N型碳化硅外延层3内的元胞沟槽;在所述元胞沟槽槽底的下方设置P+屏蔽层4,所述P+屏蔽层4包覆元胞沟槽的槽底;

[0072] 在所述场效应晶体管的截面上,元胞沟槽包括元胞第一沟槽21以及与所述元胞第一沟槽21对应的元胞第二沟槽22,P+屏蔽层4上的P+槽间屏蔽连接柱23伸入元胞第一沟槽21与元胞第二沟槽22之间,且P+槽间屏蔽连接柱23与元胞第一沟槽21、元胞第二沟槽22相对应的侧壁接触;

[0073] 还包括与源极金属层14电连接的槽间源极连接柱15,所述槽间源极连接柱15位于元胞第一沟槽21与元胞第二沟槽22间,源极金属层14通过槽间源极连接柱15能与P+槽间屏蔽连接柱23电连接,以能使得源极金属层14与P+屏蔽层4电连接;元胞第一沟槽21内的栅极第一导电多晶硅8通过栅极第一绝缘隔离体9与槽间源极连接柱15以及位于所述元胞第一沟槽21上方的源极金属层14绝缘隔离,元胞第二沟槽22内的栅极第二导电多晶硅17通过栅极第二绝缘隔离体16与槽间源极连接柱15以及位于所述元胞第二沟槽22上方的源极金属层14绝缘隔离;P+槽间屏蔽连接柱23在元胞第一沟槽21、元胞第二沟槽22间的顶部不高于栅极第一导电多晶硅8以及栅极第二导电多晶硅17相应的底端。

[0074] 具体地,N型碳化硅衬底2可以采用常用的形式,N型碳化硅衬底2的厚度等可以根据需要选择。当然,N型碳化硅衬底2也可以采用现有常用的半导体材料,如Si、Ge、GaAs、GaN、AlN、金刚石GaO材料等,具体可以根据需要选择。N型碳化硅衬底2上设置N型碳化硅外延层3,一般地,N型碳化硅外延层3的厚度小于N型碳化硅衬底2的厚度,N型碳化硅外延层3的掺杂浓度小于N型碳化硅衬底2的掺杂浓度;此外,在N型碳化硅外延层3上方还设置源极金属层14,利用源极金属层14能形成场效应晶体管的源电极,利用源极金属层14形成源电极的方式可与现有相一致,具体为本技术领域人员所熟知,此处不再赘述。

[0075] 本发明实施例中,元胞区内的元胞采用沟槽结构,对于一元胞,具体包括元胞沟槽,在元胞沟槽槽底的下方设置P+屏蔽层4,利用P+屏蔽层4能包覆元胞沟槽的槽底,当然,P+屏蔽层4也会包覆元胞沟槽的槽底外壁,即P+屏蔽层4的宽度大于元胞沟槽的槽宽,P+屏蔽层4与元胞沟槽的槽底外壁接触,且P+屏蔽层4上端位于元胞沟槽槽底的上方,P+屏蔽层4的具体作用以及与元胞沟槽的间的配合关系均可与现有相一致,具体为本技术领域人员所熟知,此处不再赘述。

[0076] 具体实施上,元胞沟槽包括元胞第一沟槽21以及元胞第二沟槽22,元胞第一沟槽21与元胞第二沟槽22采用同一工艺步骤得到,即元胞第一沟槽21、元胞第二沟槽22在N型碳化硅外延层3内具有相同的深度。由元胞第一沟槽21、元胞第二沟槽22配合形成元胞沟槽时,在P+屏蔽层4上设置P+槽间屏蔽连接柱23,P+槽间屏蔽连接柱23呈竖直分布,P+槽间屏蔽连接柱23与P+屏蔽层4为同一工艺层,P+槽间屏蔽连接柱23的下端与P+屏蔽层4连接,P+槽间屏蔽连接柱23的顶端位于元胞第一沟槽21与元胞第二沟槽22间,P+槽间屏蔽连接柱23

的两侧分别与元胞第一沟槽21、元胞第二沟槽22相对应的侧壁连接,即P+槽间屏蔽连接柱23邻近元胞第一沟槽21的侧边与元胞第一沟槽21邻近元胞第二沟槽22的侧壁接触,P+槽间屏蔽连接柱23邻近元胞第二沟槽22的侧边与元胞第二沟槽22邻近元胞第一沟槽21的侧壁接触。

[0077] 本发明实施例中,槽间源极连接柱15与源极金属层14电连接,槽间源极连接柱15位于源极金属层14的下方,槽间源极连接柱15与源极金属层14为同一工艺步骤层,槽间源极连接柱15也伸入元胞第一沟槽21与元胞第二沟槽22间,其中,槽间源极连接柱15与元胞第一沟槽21、元胞第二沟槽22的上部对应,P+槽间屏蔽连接柱23与元胞第一沟槽21、元胞第二沟槽22的底部对应。槽间源极连接柱15与P+槽间屏蔽连接柱23间可以呈同轴分布。槽间源极连接柱15垂直深入元胞第一沟槽21、元胞第二沟槽22间时,槽间源极连接柱15能与P+槽间屏蔽连接柱23电连接,由于槽间源极连接柱15与源极金属层14电连接且P+槽间屏蔽连接柱23与P+屏蔽层23为同一工艺步骤层,因此,源极金属层14能与P+屏蔽层4间电连接。

[0078] 在元胞第一沟槽21内设置栅极第一导电多晶硅8,在元胞第二沟槽22内设置栅极第二导电多晶硅17,栅极第一导电多晶硅8与栅极第二导电多晶硅17为两个相互独立的导电多晶硅,通过栅极第一导电多晶硅8、栅极第二导电多晶硅17能与形成场效应晶体管的栅电极连接,具体通过栅极第一导电多晶硅8、栅极第二导电多晶硅17形成栅电极的方式与现有相一致,具体为本技术领域人员所熟知,此处不再赘述。

[0079] 当槽间源极连接柱15位于元胞第一沟槽21、元胞第二沟槽22内时,需要实现槽间源极连接柱15与栅极第一导电多晶硅8以及栅极第二导电多晶硅17间的绝缘隔离。具体实施时,元胞第一沟槽21内的栅极第一导电多晶硅8通过栅极第一绝缘隔离体9与槽间源极连接柱15绝缘隔离,且通过栅极第一绝缘隔离体9能与元胞第一沟槽21上方的源极金属层14绝缘隔离。同理,元胞第二沟槽22内的栅极第二导电多晶硅17通过栅极第二绝缘隔离体16与槽间源极连接柱15绝缘隔离,且通过栅极第二绝缘隔离体16与元胞第二沟槽22上方的源极金属层14绝缘隔离。此外,P+槽间屏蔽连接柱23在元胞第一沟槽21、元胞第二沟槽22间的顶部不低于栅极第一导电多晶硅8以及栅极第二导电多晶硅17相应的底端。

[0080] 进一步地,在P+槽间屏蔽连接柱23上设置P+掺杂沟道区5以及位于所述P+掺杂沟道区5上的P+源区6,P+掺杂沟道区5与P+源区6以及P+槽间屏蔽连接柱23邻接;所述P+源区6与槽间源极连接柱15欧姆接触,槽间源极连接柱15通过P+源区6、P+掺杂沟道区5与P+槽间屏蔽连接柱23电连接;

[0081] P+掺杂沟道区5、P+源区6分别与元胞第一沟槽21、元胞第二沟槽22相应的侧壁接触,P+掺杂沟道区5、P+源区6通过覆盖元胞第一沟槽21内侧壁以及底壁的栅极第一绝缘氧化层7与所述元胞第一沟槽21内的栅极第一导电多晶硅8隔离;P+掺杂沟道区5、P+源区6通过覆盖元胞第二沟槽22内侧壁以及底壁的栅极第二绝缘氧化层18与所述元胞第二沟槽21内的栅极第二导电多晶硅17隔离;

[0082] 栅极第一绝缘氧化层7与栅极第一绝缘隔离体9相互连接,以能利用所述栅极第一绝缘氧化层7、栅极第一绝缘隔离体9包覆栅极第一导电多晶硅8;栅极第二绝缘氧化层18与栅极第二绝缘隔离体16相互连接,以能利用所述栅极第二绝缘氧化层18、栅极第二绝缘隔离体16包覆栅极第二导电多晶硅17。

[0083] 本发明实施例中,在P+槽间屏蔽连接柱23正上方设置P+掺杂沟道区5,在P+掺杂沟

道区5的正上方设置P+源区6,其中,P+掺杂沟道区5与上方的P+源区6以及位于下方的P+槽间屏蔽连接柱23邻接,且P+源区6与槽间源极连接柱15的端部欧姆接触。P+源区6、P+掺杂沟道区5以及P+槽间屏蔽连接柱23间可以呈同轴分布。当槽间源极连接柱15与P+源区6欧姆接触后,槽间源极连接柱15通过P+源区6以及P+掺杂沟道区5能与P+槽间屏蔽连接柱23电连接,即P+槽间屏蔽连接柱23通过P+掺杂沟道区5以及P+源区6能够实现与槽间源极连接柱15间电连接,提高P+屏蔽层4与源极金属层14间电连接的可靠性。

[0084] 具体实施时,P+掺杂沟道区5、P+源区6与元胞第一沟槽21、元胞第二沟槽22相对应的外侧壁接触,具体可以参考P+槽间屏蔽连接柱23与元胞第一沟槽21、元胞第二沟槽22相应外侧壁说明,此处不再赘述。当P+常州沟道区5、P+源区6与元胞第一沟槽21、元胞第二沟槽22相应的外侧壁接触后,P+掺杂沟道区5、P+源区6通过覆盖元胞第一沟槽21内侧壁以及底壁的栅极第一绝缘氧化层7与所述元胞第一沟槽21内的栅极第一导电多晶硅8隔离;同时,P+掺杂沟道区5、P+源区6通过覆盖元胞第二沟槽22内侧壁以及底壁的栅极第二绝缘氧化层18与所述元胞第二沟槽21内的栅极第二导电多晶硅17隔离。当然,P+槽间屏蔽连接柱23与栅极第一绝缘氧化层7以及栅极第二绝缘氧化层18对应接触,以能通过栅极第一绝缘氧化层7与栅极第一导电多晶硅8隔离,通过栅极第二绝缘氧化层18与栅极第二导电多晶硅17隔离。

[0085] 具体实施时,栅极第一绝缘氧化层7、栅极第二绝缘氧化层18均为二氧化硅层,栅极第一绝缘氧化层7通过热氧化的方式生长在元胞第一沟槽21的侧壁以及底壁,栅极第二绝缘氧化层18通过热氧化方式生长在元胞第二沟槽22的侧壁以及底壁。栅极第一绝缘氧化层7、栅极第二绝缘氧化层18为同一工艺步骤层,栅极第二绝缘隔离体16与栅极第一绝缘隔离体9为同一工艺步骤层,且栅极第二绝缘隔离体16、栅极第一绝缘隔离体9均为二氧化硅。栅极第一绝缘隔离体9、栅极第二绝缘隔离体16通过淀积工艺方式制备得到,栅极第一绝缘隔离体9的厚度大于栅极第一绝缘氧化层7的厚度,栅极第二绝缘隔离体16的厚度大于栅极第二绝缘氧化层18的厚度。

[0086] 在元胞第一沟槽21内,栅极第一绝缘氧化层7与栅极第一绝缘隔离体9相互连接,以能利用所述栅极第一绝缘氧化层7、栅极第一绝缘隔离体9包覆栅极第一导电多晶硅8,即能实现对栅极第一导电多晶硅8全包围;同理,栅极第二绝缘氧化层18与栅极第二绝缘隔离体16相互连接,以能利用所述栅极第二绝缘氧化层18、栅极第二绝缘隔离体16包覆栅极第二导电多晶硅17。

[0087] 具体实施时,槽间源极连接柱15与P+源区6、P+掺杂沟道区5、P+槽间屏蔽连接柱23以及P+屏蔽层4能构成一个耗尽型PMOS结构,且P+屏蔽层4的电位可根据场效应管的栅极电位自调节。

[0088] P+屏蔽层4的电位根据所述场效应晶体管的栅极电位进行自调节调整过程为:当场效应晶体管工作在导通状态时,由于场效应晶体管的栅极电压为正,所述构成的耗尽型PMOS被夹断关闭,接地的P+屏蔽层4的电位将切换到浮空状态,导致P+屏蔽层4电位升高,N型碳化硅外延层3内耗尽层收缩,场效应晶体管具有更大的电流导通面积和更强的导通能力,有效降低了导通电阻。

[0089] 当所述场效应晶体管变为阻断状态时,此时,场效应晶体管的栅偏置电压低于所述耗尽型PMOS的夹断电压,耗尽型PMOS工作在导通状态,此时P+屏蔽层4和源极金属层14同

为共地电位。所述耗尽型PMOS沟道保持开启,P+屏蔽层4接地,P+屏蔽层4与N型碳化硅外延层3构成的二极管承受主要的阻断电压,N型碳化硅外延层3和P型碳化硅基区11构成的二极管起辅助作用。由于P+屏蔽层4和源极金属层14共地,栅极第一绝缘氧化层7、栅极第二绝缘氧化层18相对应底部以及拐角的电场可以被有效屏蔽。同时,接地的P+屏蔽层4也会通过栅极第一绝缘氧化层7以及栅极第二绝缘氧化层18侧面的电势进而减小电场强度,更好地元胞第一沟槽21内的栅极第一绝缘氧化层7以及元胞第二沟槽22内的栅极第二绝缘氧化层18。同时,场效应晶体管的栅漏电荷由于接地P+屏蔽层4的屏蔽效应被减小。随着导通电阻和栅漏电荷的减小,本发明的碳化硅场效应晶体管器件能获得的高频优值,即能降低了开关损耗,与传统碳化硅沟槽栅金属-氧化物半导体场效应晶体管器件相比得到了显著降低。

[0090] 进一步地,还包括与元胞第一沟槽21、元胞第二沟槽22相应外侧壁接触的台面结构,所述台面结构包括设置于N型碳化硅外延层3内的N型电流扩展层10以及位于所述N型电流扩展层10上的P型碳化硅基区11,所述P型碳化硅基区11与N型电流扩展层10邻接;

[0091] 在P型碳化硅基区11上设置N+碳化硅源区12以及P+碳化硅接触区13,N+碳化硅源区12以及P+碳化硅接触区13邻接,源极金属层14与N+碳化硅源区12以及P+碳化硅接触区13欧姆接触,且N+碳化硅源区12、N型电流扩展层10以及P型碳化硅基区11与元胞第一沟槽21、元胞第二沟槽22相应的外侧壁接触。

[0092] 本发明实施例中,在场效应晶体管的截面上,元胞的两侧均具有适配连接的台面结构,其中,台面接头包括N型电流扩展层10以及位于N型电流扩展层10上的P型碳化硅基区11,P型碳化硅基区11与N型电路扩展层10邻接,N型电流扩展层10位于元胞第一沟槽21、元胞第二沟槽22槽底的上方,一般地,N型电流扩展层10的底面不低于P+源区6的上表面。在P型碳化硅基区11上设置N+碳化硅源区12以及P+碳化硅接触区13,N+碳化硅源区12以及P+碳化硅接触区13均与P型碳化硅基区11邻接,P+碳化硅接触区13与N+碳化硅源区12间邻接。

[0093] 对于元胞第一沟槽21,与所述元胞第一沟槽21适配连接的台面结构,具体与所述元胞第一沟槽21相应远离元胞第二沟槽22的侧壁连接;对于元胞第二沟槽22,与所述元胞第二沟槽22适配连接的台面结构,具体与所述元胞第二沟槽22相应远离元胞第一沟槽21的侧壁连接。具体实施时,与元胞第一沟槽21连接的台面结构中,N型电流扩展层10、P型碳化硅基区11以及N+碳化硅源区12均与元胞第一沟槽21的外侧壁接触。与元胞第二沟槽22连接的台面结构中,N型电流扩展层10、P型碳化硅基区11以及N+碳化硅源区12均与元胞第二沟槽22的外侧壁接触

[0094] 进一步地,在N型碳化硅衬底2的背面设置背面漏极金属1,所述背面漏极金属1与N型碳化硅衬底2欧姆接触。本发明实施例中,背面漏极金属1可以采用现有常用的金属类型,通过背面漏极金属1能形成场效应晶体管的漏电极,具体利用背面漏极金属1形成漏电极的方式与现有相一致,具体为本技术领域人员所熟知,此处不再赘述。

[0095] 对应上述的沟槽型碳化硅场效应晶体管,可以采用下述工艺步骤制备得到,具体地,所述制备方法包括如下步骤:

[0096] 步骤1、提供N型碳化硅衬底2以及设置于N型碳化硅衬底2上的N型碳化硅外延层3,在所述N型碳化硅外延层3内制备得到P+屏蔽层4、元胞沟槽以及与元胞沟槽适配连接的台面结构,其中,元胞沟槽包括元胞第一沟槽21以及元胞第二沟槽22,P+屏蔽层4包覆元胞第



一沟槽21、元胞第二沟槽21相应的槽底外壁,P+屏蔽层4上的P+槽间屏蔽连接柱23伸入元胞第一沟槽21与元胞第二沟槽之22间,且P+槽间屏蔽连接柱23与元胞第一沟槽21、元胞第二沟槽22相对应的侧壁接触,台面结构与元胞第一沟槽21、元胞第二沟槽22相对应的外侧壁接触;

[0097] 具体地,对于步骤1中制备得到的结构,可以采用不同的工艺方式制备得到,如图2~图8所示,为其中一种具体的工艺过程,具体包括如下步骤:

[0098] 步骤1.1、提供N型碳化硅衬底2,并在所述N型碳化硅衬底2上生长得到N型碳化硅外延层3;

[0099] 如图2所示,选择所需的N型碳化硅衬底2,通过现有常用的外延生长工艺能得到N型碳化硅外延层3,其中,N型碳化硅外延层3厚度可为 $12\mu\text{m}$ ,掺杂浓度为 $8\times 10^{15}\text{cm}^{-3}$ ,N型碳化硅衬底2以及N型碳化硅外延层3的具体情况可以根据实际需要选择,具体与现有相一致,此处不再赘述。

[0100] 步骤1.2、在N型碳化硅外延层3上方进行N型杂质离子注入,以在N型碳化硅外延层3内得到贯穿N型碳化硅外延层3的N型电流扩展基层19;

[0101] 具体地,通过本技术领域常用的杂质离子注入工艺,如注入磷离子的注入,以能得到N型电流扩展基层19,N型电流扩展基层19贯穿N型碳化硅外延层3,如图3所示。N型电流扩展基层19的厚度可为 $0.4\mu\text{m}$ ,掺杂浓度可为 $1\times 10^{17}\text{cm}^{-3}$ ,当然,N型电流扩展基层19具体的厚度以及掺杂浓度可以根据实际需要选择,此处不再赘述。

[0102] 步骤1.3、在上述N型碳化硅外延层3上方进行P型杂质离子注入,以能得到P型碳化硅基区层20,所述P型碳化硅基区层20与N型电流扩展基层19邻接;

[0103] 具体地,采用本技术领域常用的杂质离子工艺进行P型杂质离子注入,P型杂质离子可以为硼离子,以能在上述N型电流扩展基层19内得到P型碳化硅基区层20,在得到P型碳化硅基区层20后,P型碳化硅基区层20与N型电流扩展基层19间相互邻接,如图4所示。

[0104] 步骤1.4、进行P型杂质离子注入,以能在P型碳化硅基区层20内得到P+碳化硅接触区13;

[0105] 具体地,采用现有常用的离子注入工艺,能得到P+碳化硅接触区13,其中,P+碳化硅接触区13的掺杂浓度大于P型碳化硅基区层20的掺杂浓度,如图5所示。在制备P+碳化硅接触区13时,具体需要采用掩模板,即需要将P+碳化硅接触区13注入形成在所需的位置区域,具体过程为本技术领域人员所熟知,此处不再赘述。

[0106] 步骤1.5、进行N型杂质离子的注入,以能得到位于P型碳化硅基区层20内的N+碳化硅源区12,所述N+碳化硅源区12与相邻的P+碳化硅接触区13邻接;

[0107] 具体地,采用本技术领域常用的离子注入手段,能得到N+碳化硅源区12,N+碳化硅源区12与P+碳化硅接触区13邻接,如图6所示,即在制备得到N+碳化硅源区12时,也需要利用掩模板,具体过程为本技术领域人员所熟知,此处不再赘述。

[0108] 步骤1.6、利用沟槽刻蚀工艺在沟槽刻蚀后,得到元胞沟槽,所述元胞沟槽包括元胞第一沟槽21以及元胞第二沟槽22,其中,元胞第一沟槽21、元胞第二沟槽22贯穿P型碳化硅基区层20以及N型电流扩展基层19,以能通过P型碳化硅基区层20、N型电流扩展基层19分别形成P型碳化硅基区11、N型电流扩展层10,元胞第一沟槽21、元胞第二沟槽22相应的槽底位于N型电流扩展层10的下方,且利用P型碳化硅基区11、N型电流扩展层10、位于P型碳化硅

基区11上的N+碳化硅源区12与所述N+碳化硅源区12相邻的P+碳化硅接触区13能形成台面结构;

[0109] 具体地,采用沟槽刻蚀工艺进行沟槽刻蚀,以能得到所需的元胞沟槽,即能同时得到元胞第一沟槽21以及元胞第二沟槽22,具体沟槽刻蚀得到元胞第一沟槽21以及元胞第二沟槽22的过程可与现有相一致,具体为本技术领域人员所熟知,此处不再赘述。元胞第一沟槽21、元胞第二沟槽22相应的深度可为 $1.8\mu\text{m}$ ,相应的宽度可为 $1.2\mu\text{m}$ ,当然,还可以根据实际需要选择相应的尺寸,此处不再赘述。

[0110] 本发明实施例中,元胞第一沟槽21、元胞第二沟槽22相应的槽底位于N型电流扩展基层19的下方,即元胞第一沟槽21、元胞第二沟槽22在N型碳化硅外延层3内垂直延伸,并同时贯穿P型碳化硅基区层20以及N型电流扩展基层19。当元胞第一沟槽21、元胞第二沟槽22同时贯出P型碳化硅基区层20以及N型电流扩展基层19后,能实现对所述P型碳化硅基区层20以及N型电流扩展基层19进行分割,并在分割后,能形成N型电流扩展层10以及P型碳化硅基区11,其中,通过对N型电流扩展基层19分割后能得到N型电流扩展层10,通过对P型碳化硅基区层20分割后能得到P型碳化硅基区11。N型电流扩展层10、与N型电流扩展层10上的P型碳化硅基区11以及位于P型碳化硅基区11上的N+碳化硅源区12与所述N+碳化硅源区12相邻的P+碳化硅接触区13能形成台面结构,如图7所示。

[0111] 在形成的台面结构中,N型电流扩展层10、P型碳化硅基区11、N+碳化硅源区12能与元胞第一沟槽21、元胞第二沟槽22相应的外侧壁接触,具体台面结构与元胞第一沟槽21、元胞第二沟槽22间连接配合的形式可以参考上述说明,此处不再赘述。

[0112] 步骤1.7、通过所需离子注入工艺与推结,以能在N型碳化硅外延层3内得到P+屏蔽层4以及与所述P+屏蔽层4连接的P+槽间屏蔽连接柱23,P+屏蔽层4能包覆元胞第一沟槽21、元胞第二沟槽22相应的槽底,P+槽间屏蔽连接柱23能伸入元胞第一沟槽21、元胞第二沟槽22间,且P+槽间屏蔽连接柱23与元胞第一沟槽21、元胞第二沟槽22相对应的侧壁接触。

[0113] 本发明实施例中,利用现有常用的P型离子注入与高温推结,能制备得到P+屏蔽层4以及P+槽间屏蔽连接柱23,P+屏蔽连接柱23呈竖直分布,P+槽间屏蔽连接柱23进入元胞第一沟槽21与元胞第二沟槽22间,P+槽间屏蔽连接柱23的顶端位于元胞第一沟槽21、元胞第二沟槽22相应槽底的上方。P+屏蔽层4、P+槽间屏蔽连接柱23为同一工艺形成,通过P+屏蔽层4以及P+槽间连接柱23能包覆元胞第一沟槽21、元胞第二沟槽22槽底相应的古拐角,如图8所示。具体制备得到P+屏蔽层4以及P+槽间屏蔽连接柱23的工艺过程为本技术领域人员所熟知,此处不再赘述。

[0114] 此外,所述步骤1,还可以采用另一种方式实现,具体包括如下步骤:

[0115] 步骤a、提供N型碳化硅衬底2,并在所述N型碳化硅衬底2上生长得到N型碳化硅外延层3,在生长N型碳化硅外延层3的过程中,进行P型杂质离子的注入与推结,以能在N型碳化硅外延层3内得到P+屏蔽基层;

[0116] 具体地,N型碳化硅衬底2的具体情况可以参考上述说明,在将N型碳化硅外延层3生长至所需高度之前,通过在N型碳化硅外延层3内进行P型杂质离子与推结,能制备P+屏蔽基层,具体制备得到P+屏蔽基层的方式与现有相一致,具体为本技术领域人员所熟知,此处不再赘述。在制备得到P+屏蔽基层后,继续进行所需的外延生长工艺,制造N型氮化硅外延层3至所需的厚度,具体与现有相一致,此处不再赘述。

[0117] 当然,P+屏蔽基层的厚度一般要与后续制备得到P+屏蔽层4厚度相一致,从而能通过P+屏蔽基层能得到所需的P+屏蔽层4以及P+槽间屏蔽连接柱23。

[0118] 步骤b、在N型碳化硅外延层3上方进行N型杂质离子注入,以在N型碳化硅外延层3内得到贯穿N型碳化硅外延层3的N型电流扩展基层19;

[0119] 具体地,得到N型电流扩展基层19的方式以及过程可以参考上述说明,此处不再赘述。

[0120] 步骤c、在上述N型碳化硅外延层3上方进行P型杂质离子注入,以能得到P型碳化硅基区层20,所述P型碳化硅基区层20与N型电流扩展基层19邻接;

[0121] 具体地,得到P型碳化硅基区层20的过程以及方式均可以参考上述说明,此处不再赘述。

[0122] 步骤d、进行P型杂质离子注入,以能在P型碳化硅基区层20内得到P+碳化硅接触区13;

[0123] 具体地,制备得到P+碳化硅接触区13的过程以及方式均可以参考上述说明,此处不再赘述。

[0124] 步骤e、进行N型杂质离子的注入,以能得到位于P型碳化硅基区层20内的N+碳化硅源区12,所述N+碳化硅源区12与相邻的P+碳化硅接触区13邻接;

[0125] 具体地,制备得到N+碳化硅源区12的过程以及方式均可以参考上述说明,此处不再赘述。

[0126] 步骤f、利用沟槽刻蚀工艺在沟槽刻蚀后,得到元胞沟槽,所述元胞沟槽包括元胞第一沟槽21以及元胞第二沟槽22,其中,元胞第一沟槽21、元胞第二沟槽22贯穿P型碳化硅基区层20以及N型电流扩展基层19,以能通过P型碳化硅基区层20、N型电流扩展基层19分别形成P型碳化硅基区11、N型电流扩展层10,元胞第一沟槽21、元胞第二沟槽22相应的槽底位于N型电流扩展层10的下方,且利用P型碳化硅基区11、N型电流扩展层10、位于P型碳化硅基区11上的N+碳化硅源区12与所述N+碳化硅源区12相邻的P+碳化硅接触区13能形成台面结构;

[0127] 同时,利用P+屏蔽基层能形成P+屏蔽层4以及P+槽间屏蔽连接柱23,P+屏蔽层4能包覆元胞第一沟槽21、元胞第二沟槽22相应的槽底,P+槽间屏蔽连接柱23能伸入元胞第一沟槽21、元胞第二沟槽22间,且P+槽间屏蔽连接柱23与元胞第一沟槽21、元胞第二沟槽22相对应的侧壁接触。

[0128] 具体地,具体沟槽刻蚀的过程等均可以参考上述说明,在沟槽刻蚀得到元胞第一沟槽21以及元胞第二沟槽22时,元胞第一沟槽21、元胞第二沟槽22的位置以及深度能与P+屏蔽基层配合,元胞第一沟槽21、元胞第二沟槽22的槽底位于P+屏蔽基层内,从而利用P+屏蔽基层能形成P+屏蔽层4以及P+槽间屏蔽连接柱23,P+屏蔽层4、P+槽间屏蔽连接柱23与元胞第一沟槽21、元胞第二沟槽22具体的关系可以参考上述说明,此处不再赘述。

[0129] 此外,台面结构以及与元胞第一沟槽21、元胞第二沟槽22具体的配合形式也参考上述说明,此处不再赘述。

[0130] 步骤2、在元胞第一沟槽21的侧壁以及底壁设置栅极第一绝缘氧化体29,栅极第一绝缘氧化体29覆盖元胞第一沟槽21的侧壁以及底壁,在元胞第二沟槽22的侧壁以及底壁设置栅极第二绝缘氧化体30,栅极第二绝缘氧化体30覆盖元胞第二沟槽22的侧壁以及底壁;

[0131] 具体地,栅极第一绝缘氧化体29、栅极第二绝缘氧化体30均为二氧化硅层,具体可以采用常用的热氧化生长得到,如图9所示。栅极第一绝缘氧化体29、栅极第二绝缘氧化体30的厚度一般可为40nm,具体厚度可以根据需要选择,此处不再赘述。

[0132] 步骤3、进行栅极多晶硅淀积,以能得到填充于元胞第一沟槽21、元胞第二沟槽22内的多晶硅填充体31;

[0133] 具体地,采用常用的多晶硅淀积工艺,能得到多晶硅填充体31,多晶硅填充体31能填充在元胞第一沟槽21以及元胞第二沟槽22内,当然,多晶硅填充体31还覆盖在N型碳化硅外延层3的上表面。

[0134] 步骤4、对上述元胞第一沟槽21、元胞第二沟槽22内的多晶硅填充体31进行刻蚀后,以能得到位于元胞第一沟槽21内的栅极第一导电多晶硅8、栅极第一绝缘隔离体填充槽24以及栅极第一绝缘氧化层7;同时,能得到位于元胞第二沟槽22内的栅极第二导电多晶硅17、栅极第二绝缘隔离体填充槽25以及栅极第二绝缘氧化层18;

[0135] 具体地,采用常用的刻蚀工艺,对多晶硅填充体31进行填充,以能得到仅位于元胞第一沟槽21以及元胞第二沟槽22内的多晶硅填充体31,如图10所示。

[0136] 此后,对元胞第一沟槽21、元胞第二沟槽22内相应的多晶硅填充体31继续刻蚀,以能得到位于元胞第一沟槽21内的栅极第一导电多晶硅8,以及位于元胞第二沟槽22内的栅极第二导电多晶硅17。同时,利用元胞第一沟槽21内的栅极第一绝缘氧化体29能得到栅极第一绝缘氧化层7,利用元胞第二沟槽22内的栅极第二绝缘氧化体30能得到栅极第二绝缘氧化层18。

[0137] 此外,在刻蚀时,将元胞第一沟槽21内邻近元胞第二沟槽22一侧的多晶硅填充体31以及栅极第一绝缘氧化体29均刻蚀掉,以能形成栅极第一绝缘隔离体填充槽24,同理,在元胞第二沟槽22内得到栅极第二绝缘隔离体填充槽25,如图11所示。栅极第一导电多晶硅8的顶端位于元胞第一沟槽21槽口下方,栅极第二导电多晶硅17的顶端位于元胞第二沟槽22槽口的下方,即在刻蚀得到栅极第一绝缘隔离体填充槽24时,会对元胞第一沟槽21内的多晶硅填充体31的顶端刻蚀,以能得到栅极第一导电多晶硅8;栅极第二导电多晶硅17在元胞第二沟槽22内的情况与栅极第一导电多晶硅8在元胞第一沟槽21内的情况相一致,此处不再赘述。

[0138] 当然,栅极第一绝缘隔离体填充槽24的槽底具有填充槽内第一过渡区26,所述填充槽内第一过渡区26呈弧形。在栅极第二绝缘隔离体填充槽25的槽底具有填充槽内第二过渡区27,填充槽内第二过渡区27也呈弧形。

[0139] 步骤5、进行绝缘隔离材料淀积,以能得到栅极第一绝缘隔离体9以及栅极第二绝缘隔离体16,其中,栅极第一绝缘隔离体9填充在栅极第一绝缘隔离体填充槽24内且能覆盖栅极第一导电多晶硅8,栅极第一绝缘隔离体9与栅极第一绝缘氧化层7接触;栅极第二绝缘隔离体16填充在栅极第二绝缘隔离体填充槽25内且能覆盖栅极第二导电多晶硅17,栅极第二绝缘隔离体16与栅极第二绝缘氧化层18接触;

[0140] 具体地,绝缘隔离材料一般为二氧化硅,栅极第一绝缘隔离体9填充在栅极第一绝缘隔离体填充槽24内,且栅极第一绝缘隔离体9填充在栅极第一绝缘隔离体填充槽24后,利用栅极第一绝缘隔离体9能覆盖栅极第一导电多晶硅8相应的侧面以及栅极第一导电多晶硅8的上表面;同理,栅极第二绝缘隔离体16能覆盖栅极第二导电多晶硅16相应的侧面以及

栅极第二导电多晶硅16的上表面。

[0141] 本发明实施例中,栅极第一绝缘隔离体9与栅极第一绝缘氧化层7接触,通过栅极第一绝缘隔离体9与栅极第一绝缘氧化层7能实现对栅极第一导电多晶硅8有效的覆盖;同理,通过栅极第二绝缘隔离体16以及栅极第二绝缘氧化层18能实现对栅极第二导电多晶硅17有效的覆盖,如图12所示。

[0142] 步骤6、进行所需的沟槽刻蚀,以能得到源极连接柱槽28,源极连接柱槽28位于元胞第一沟槽21与源极第二沟槽22间,通过栅极第一绝缘隔离体9、栅极第二绝缘隔离体16分别形成源极连接柱槽28的侧壁,所述源极连接柱槽28的槽底与栅极第一绝缘隔离体填充槽24、栅极第二绝缘隔离体填充槽25的槽底平齐;

[0143] 具体地,在刻蚀时,需要刻蚀元胞第一沟槽21以及元胞第二沟槽22间的区域,以能得到源极连接柱槽28,源极连接柱槽28垂直分布,源极连接柱槽28的深度一般与上述栅极第一绝缘隔离体填充槽24、栅极第二绝缘隔离体填充槽25相应的深度相同。刻蚀后,栅极第一绝缘隔离体9、栅极第二绝缘隔离体16分别形成源极连接柱槽28的侧壁,源极连接柱槽28的槽底与,栅极第一绝缘隔离体9、栅极第二绝缘隔离体16相应的底部平齐,如图13所示。

[0144] 步骤7、在源极连接柱槽28的正上方进行P型杂质离子的注入,以能得到P+掺杂沟道区5以及P+源区6,P+型掺杂沟道区5邻接P+源区6以及P+槽间屏蔽连接柱23,P+源区6位于P+掺杂沟道区5正上方,P+掺杂沟道区5以及P+源区6分别与元胞第一沟槽21、元胞第二沟槽22相应的侧壁接触;且P+掺杂沟道区5的底部不低于栅极第一导电多晶硅8、栅极第二导电多晶硅17的底部;

[0145] 具体地,可以采用常用的P型杂质离子注入,在注入时对准源极连接柱槽28的槽底,以能在源极连接柱槽28槽底的正下方形成P+掺杂沟道区5以及P+源区6,其中,P+源区6的掺杂浓度大于P+掺杂沟道区5的掺杂浓度,当然,为了形成P+掺杂沟道区5以及P+源区6时,需要进行两步掺杂工艺,如图14和图15所示。

[0146] P+掺杂沟道区5的下部与P+槽间屏蔽连接柱23的顶端连接,P+掺杂沟道区5的上端与P+源区6接触,P+源区6与源极连接柱槽28的槽底连接。P+掺杂沟道区5以及P+源区6分别与元胞第一沟槽21、元胞第二沟槽22相应的侧壁接触;且P+掺杂沟道区5的底部不低于栅极第一导电多晶硅8、栅极第二导电多晶硅17的底部;P+掺杂沟道区5通过栅极第一绝缘氧化层7与栅极第一导电多晶硅8隔离,P+掺杂沟道区5通过栅极第二绝缘氧化层18与栅极第二导电多晶硅17隔离。同理,P+源区6通过栅极第一绝缘氧化层7与栅极第一导电多晶硅8隔离,P+源区6通过栅极第二绝缘氧化层18与栅极第二导电多晶硅17隔离。

[0147] 步骤8、在上述N型碳化硅外延层3的正上方进行金属淀积,以能得到源极金属层14以及填充在源极连接柱槽28内的槽间源极连接柱15,所述槽间源极连接柱15与源极金属层14电连接,槽间源极连接柱15与P+源区6欧姆接触,元胞第一沟槽21内的栅极第一导电多晶硅8通过栅极第一绝缘隔离体9与槽间源极连接柱15以及位于所述元胞第一沟槽21上方的源极金属层14绝缘隔离,元胞第二沟槽22内的栅极第二导电多晶硅17通过栅极第二绝缘隔离体16与槽间源极连接柱15以及位于所述元胞第二沟槽22上方的源极金属层14绝缘隔离;

[0148] 具体地,采用本技术领域常用的金属淀积工艺,能得到源极金属层14以及槽间源极连接柱15,其中,槽间源极连接柱15填充在源极连接柱槽28内,源极金属层14位于元胞第一沟槽21、元胞第二沟槽22相应槽口的上方。槽间源极连接柱15填充在源极连接柱槽28后,

能与P+源区6欧姆接触。元胞第一沟槽21内的栅极第一导电多晶硅8通过栅极第一绝缘隔离体9与槽间源极连接柱15以及位于所述元胞第一沟槽21上方的源极金属层14绝缘隔离,元胞第二沟槽22内的栅极第二导电多晶硅17通过栅极第二绝缘隔离体16与槽间源极连接柱15以及位于所述元胞第二沟槽22上方的源极金属层14绝缘隔离,如图16所示。

[0149] 具体实施时,与槽间源极连接柱15接触的栅极第一绝缘隔离体9、栅极第二绝缘隔离体16相应的厚度大于栅极第一绝缘氧化层7、栅极第二绝缘氧化层18相对应的厚度。

[0150] 此外,源极金属层14还与P+碳化硅接触区13以及N+碳化硅源区12欧姆接触,利用源极金属层14能形成场效应晶体管的源电极。当然,利用栅极第一多晶硅8、栅极第二导电多晶硅17与栅极金属层配合能形成场效应晶体管的栅电极,具体与现有相一致,此处不再赘述。

[0151] 步骤9、在N型碳化硅衬底2的背面制作背面漏极金属1,所述背面漏极金属1与N型碳化硅衬底2欧姆接触。

[0152] 具体地,采用本技术领域常用的常用技术手段能得到背面漏极金属1,背面漏极金属1与N型碳化硅衬底2欧姆接触,利用背面漏极金属1能得到场效应晶体管的漏电极,具体与现有相一致,此处不再赘述。

[0153] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明是保护范围之内。



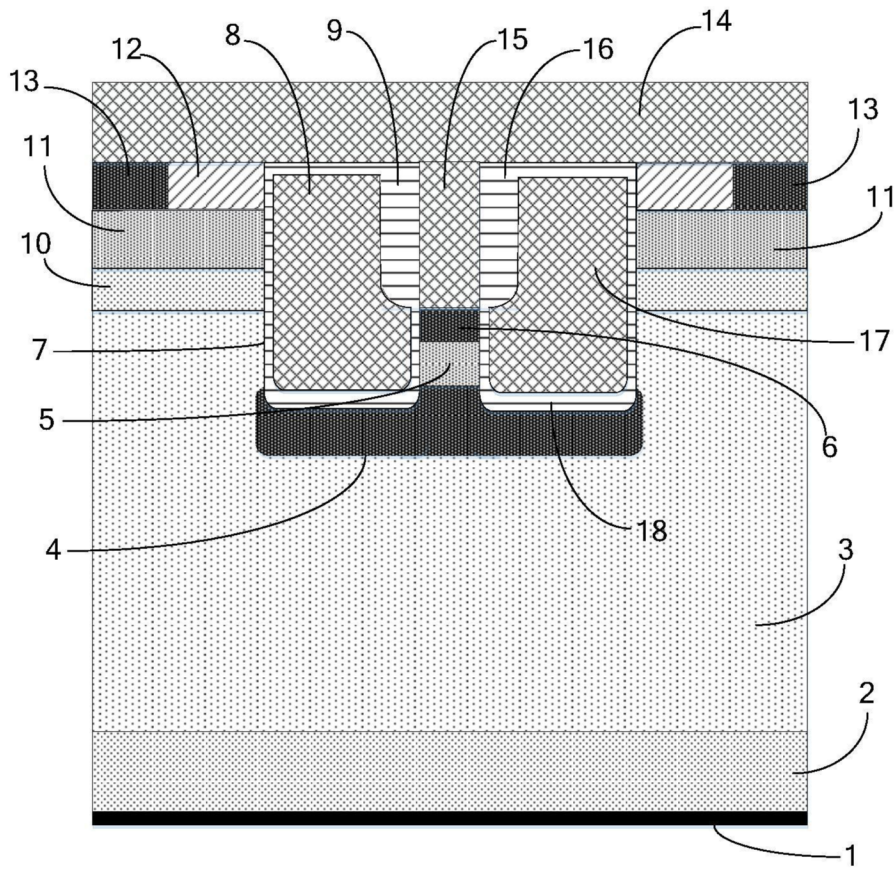


图1

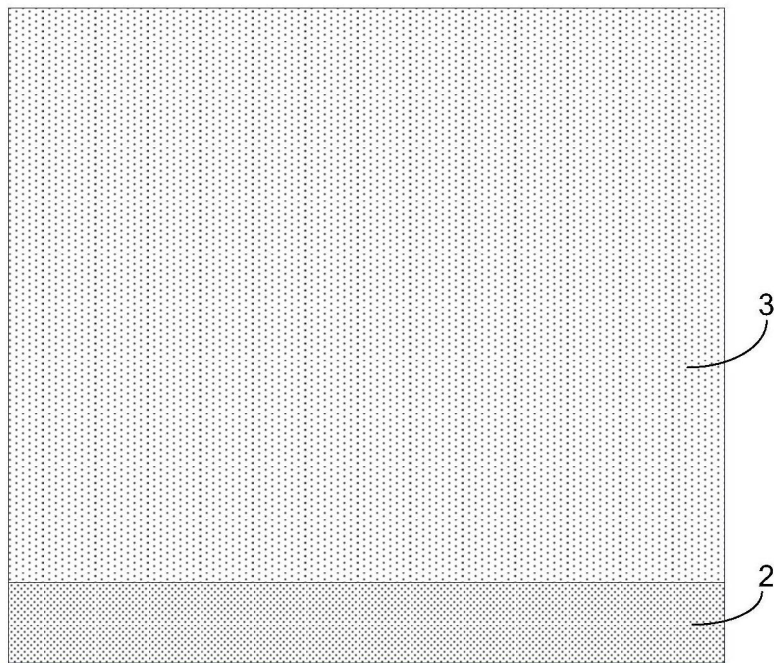


图2



图3

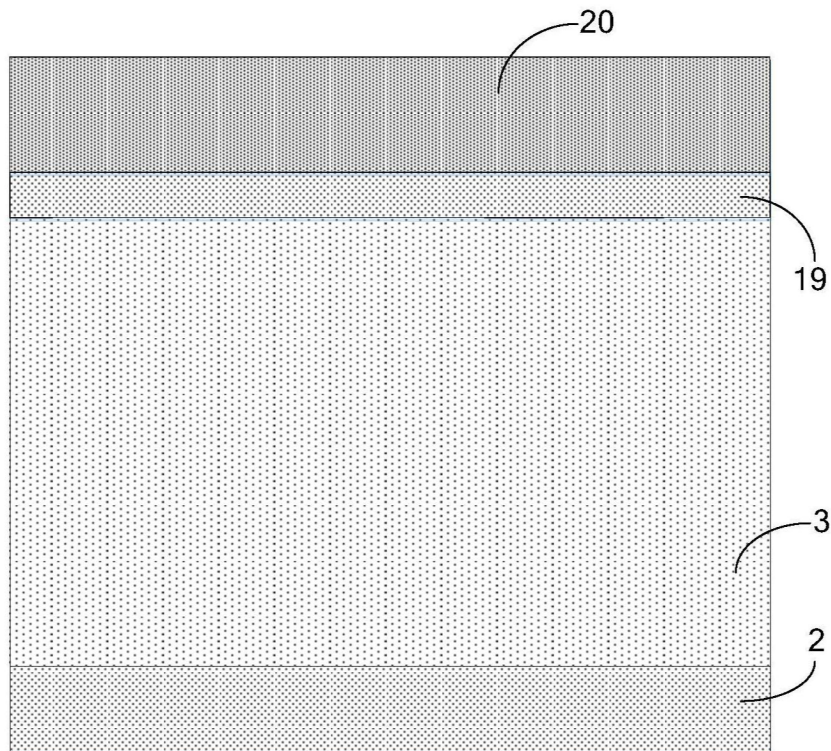


图4



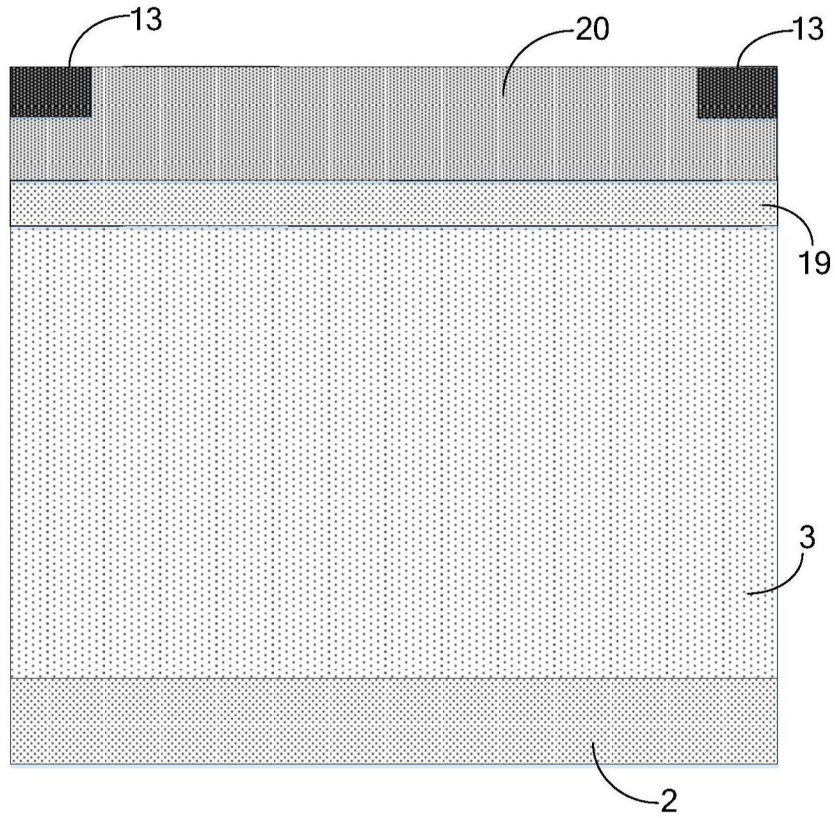


图5

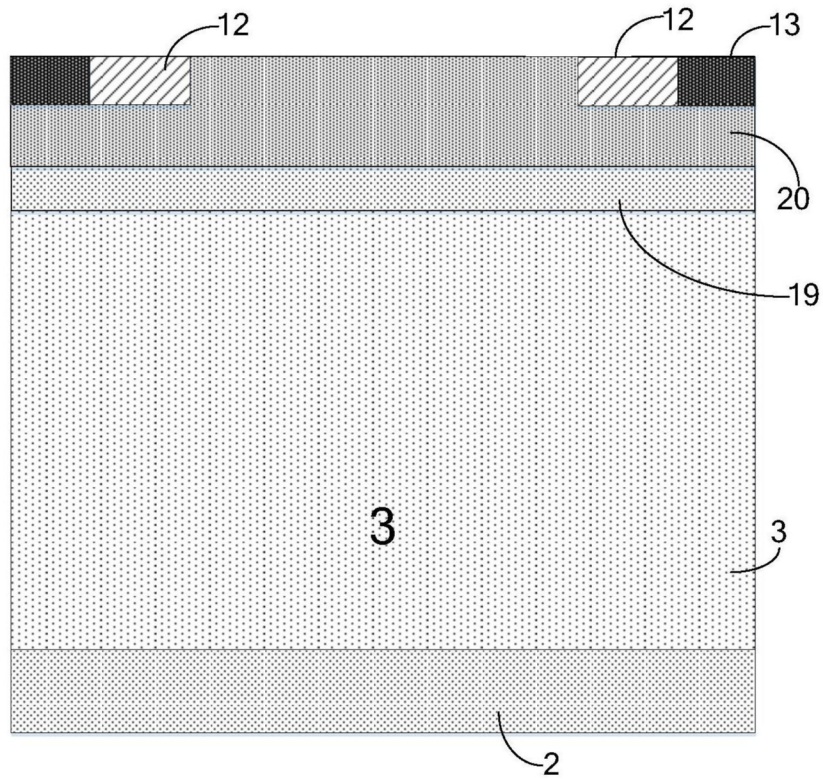


图6

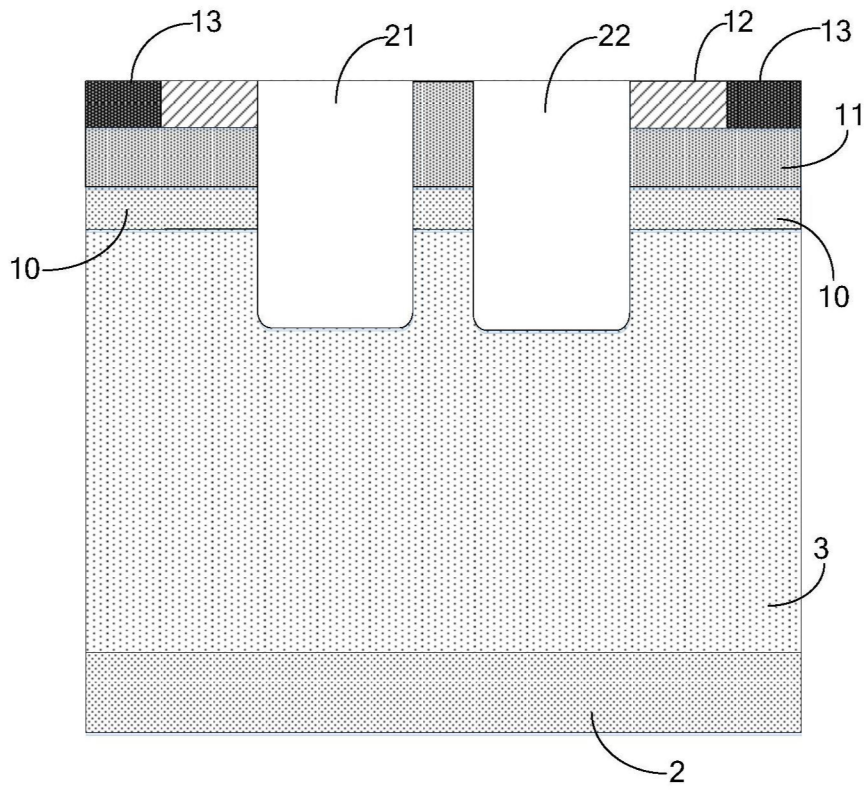


图7

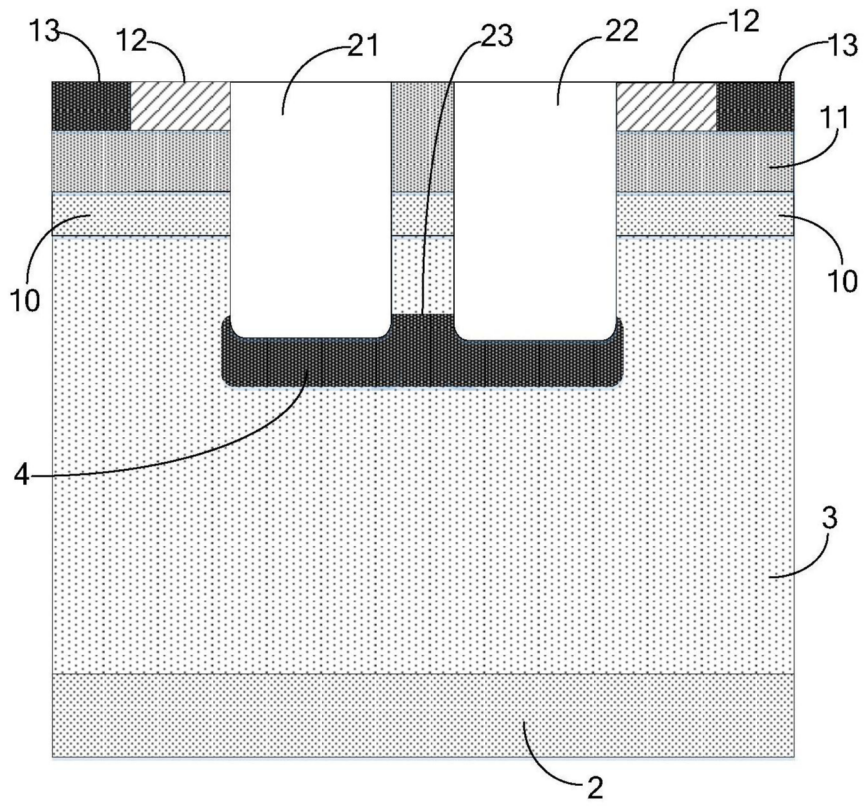


图8



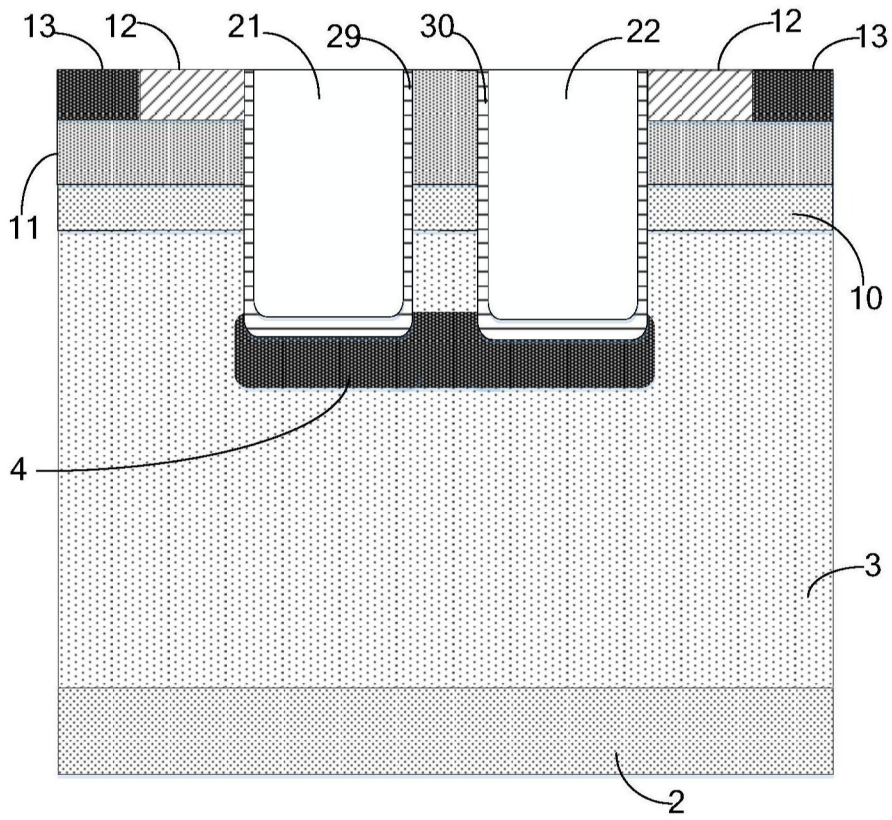


图9



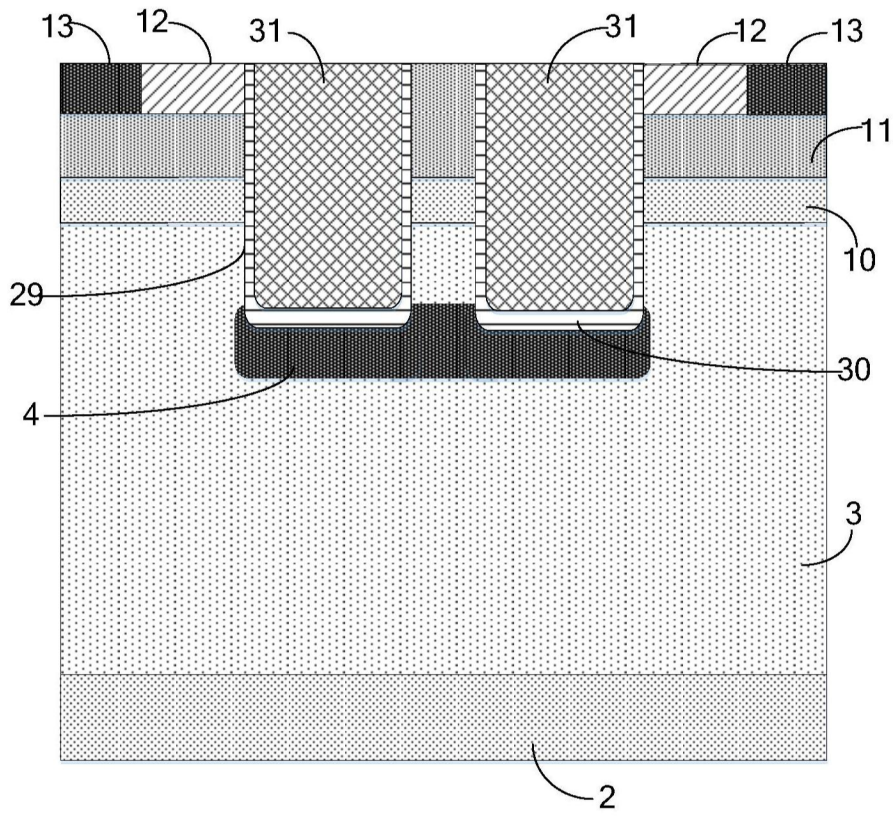


图10

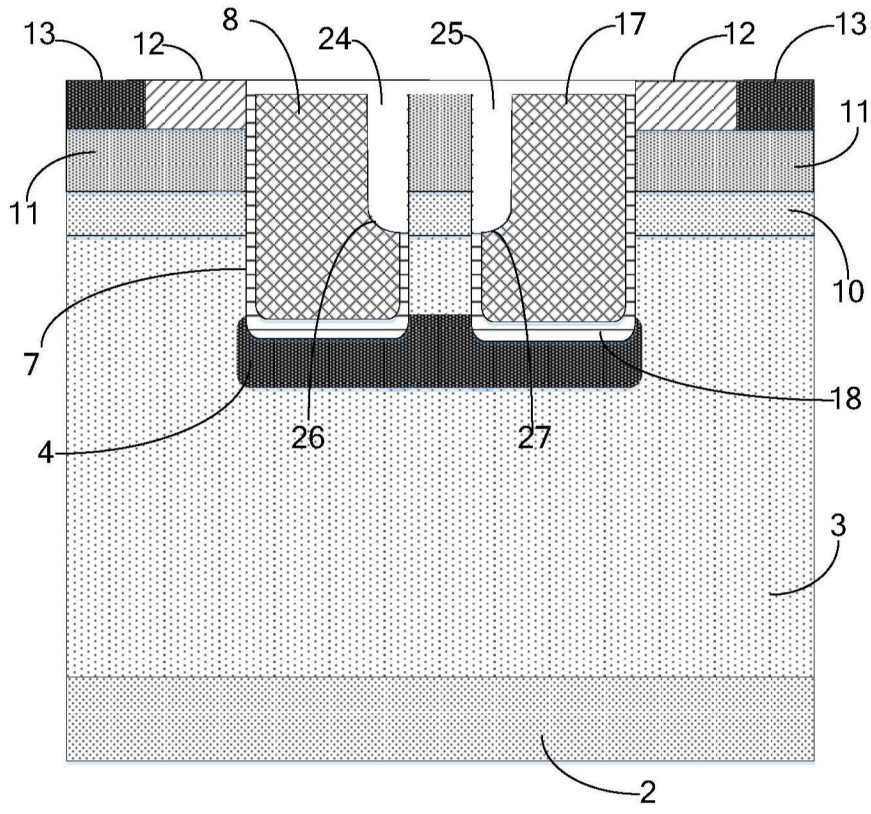


图11

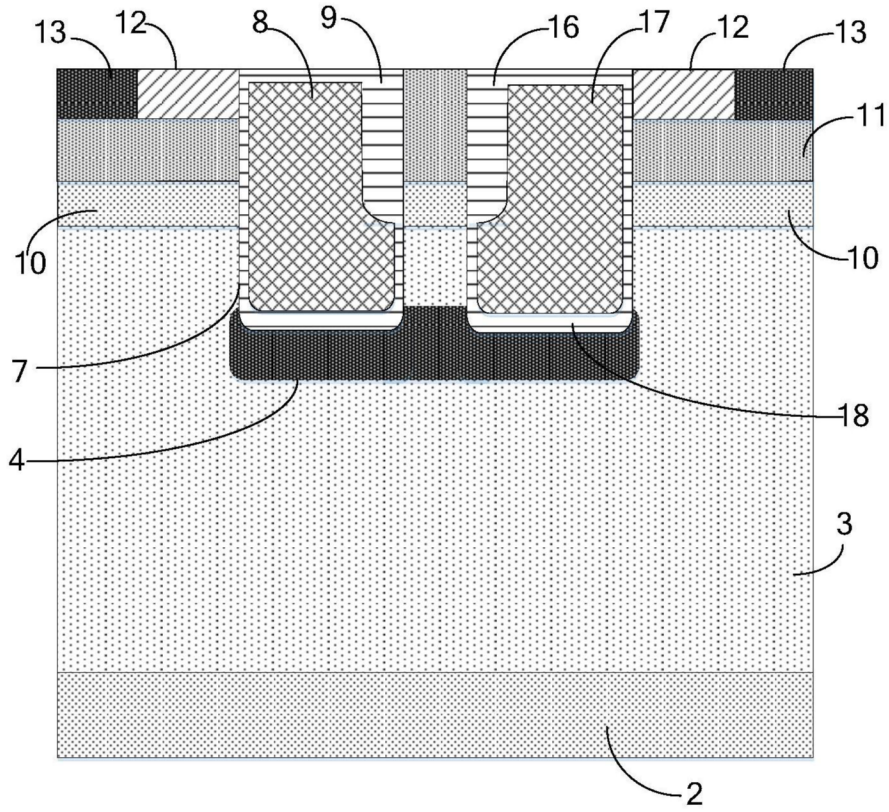


图12

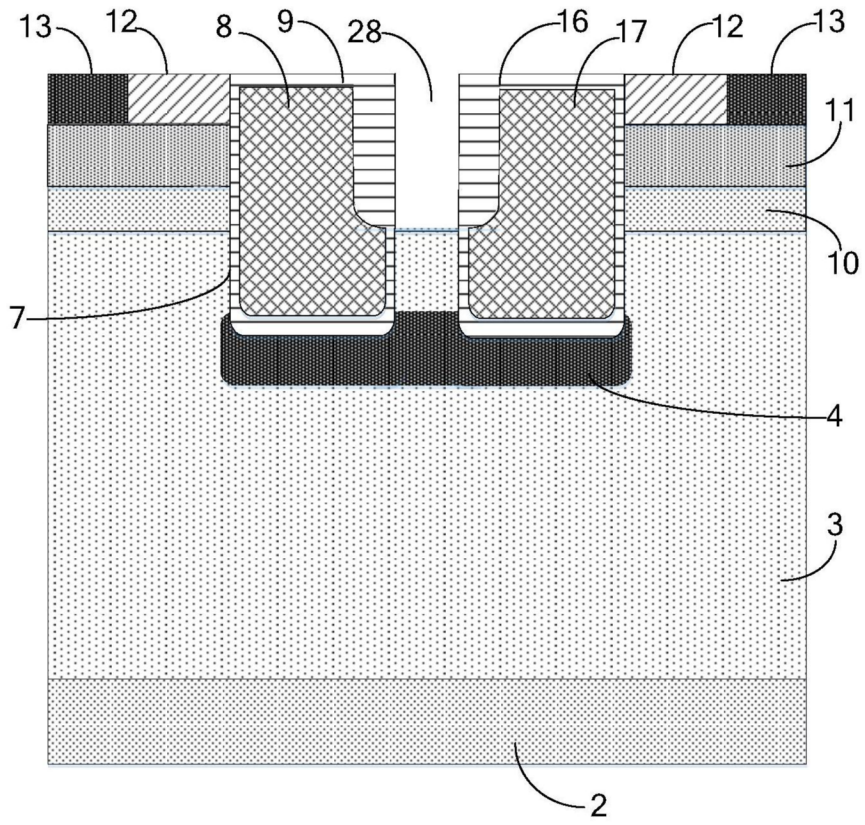


图13



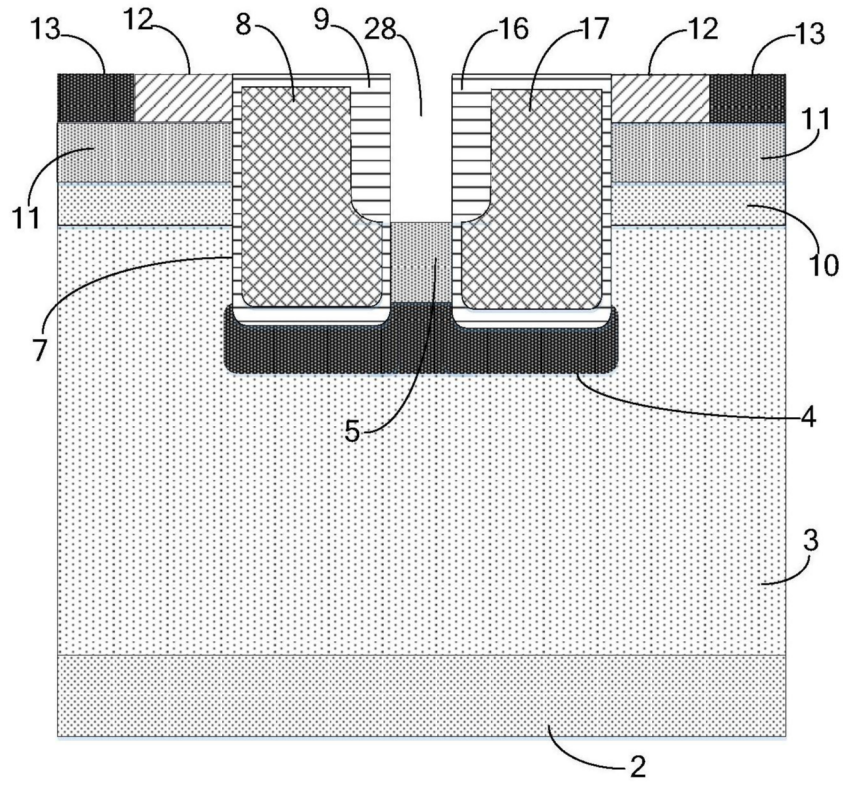


图14

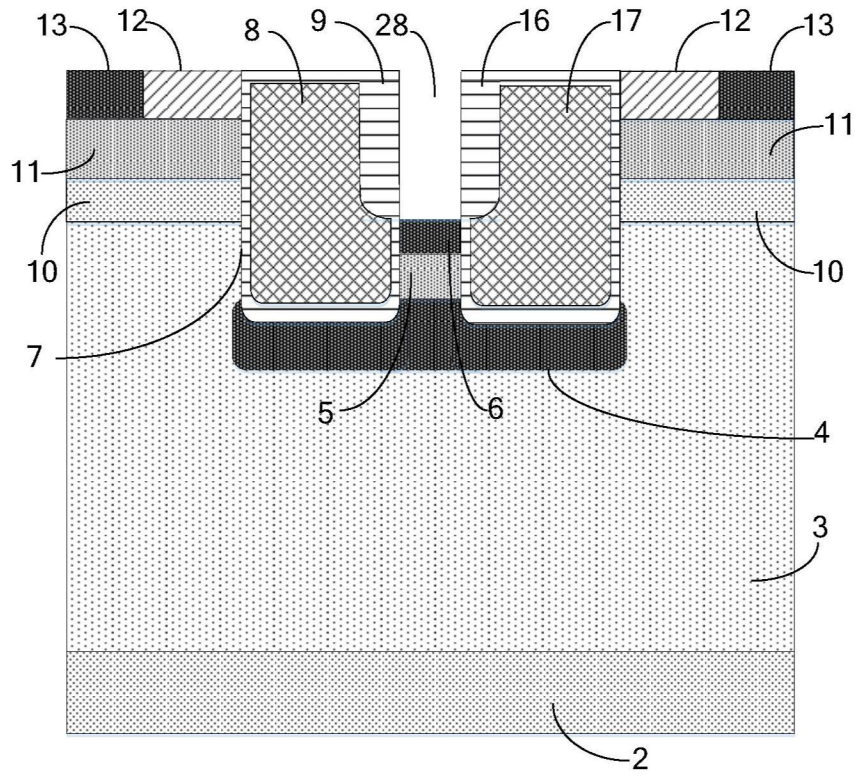


图15

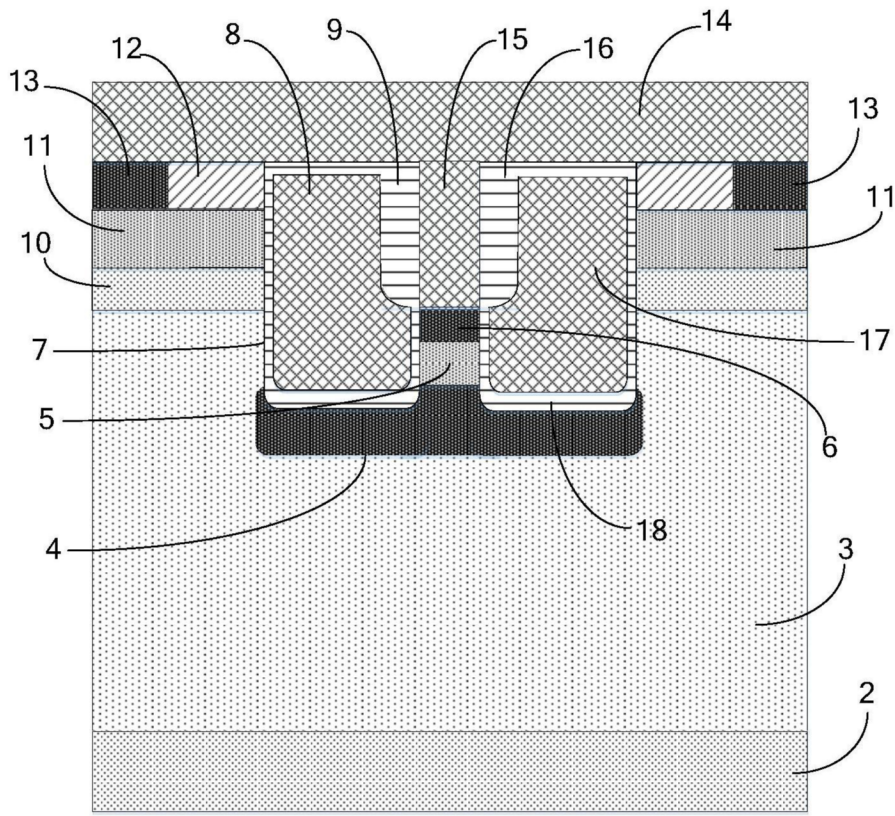


图16

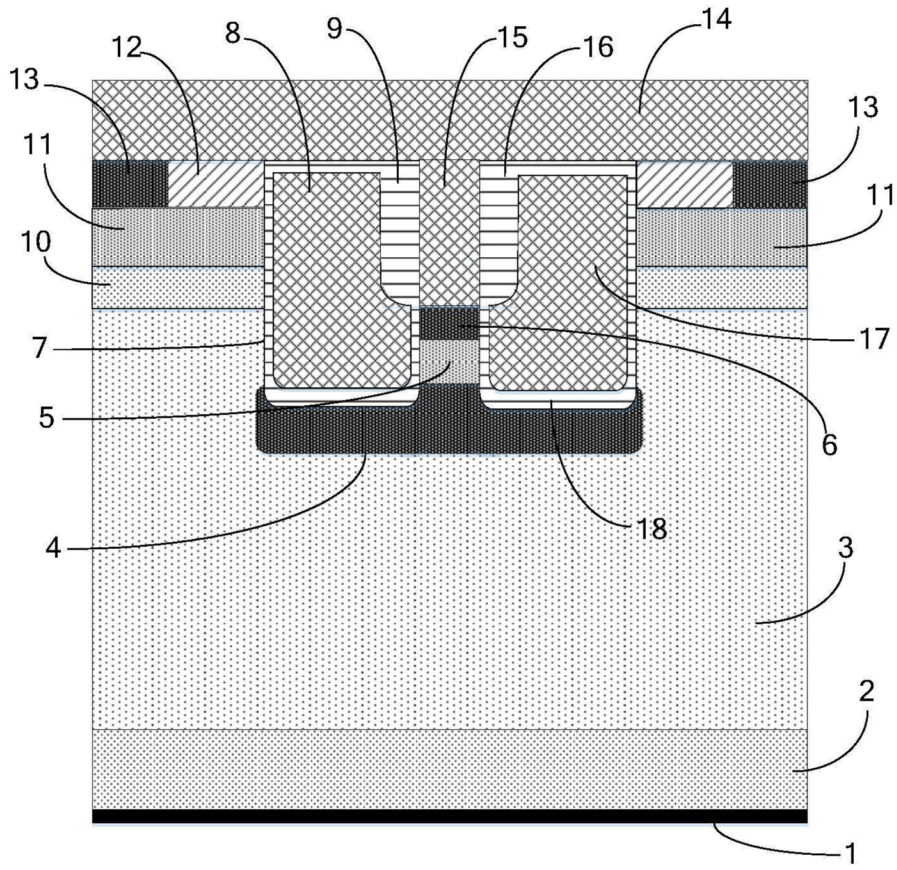


图17